

Die neuen Silicon Tracker **FST** und **BST** bei H1

H1 Gruppe (DESY Zeuthen)

•

Physikalisches Institut der
Tschechischen Akademie der Wissenschaften

F/BST - **F**orward / **B**ackward **S**ilicon **T**racker

Die neuen Silicon Tracker **FST** und **BST** bei H1

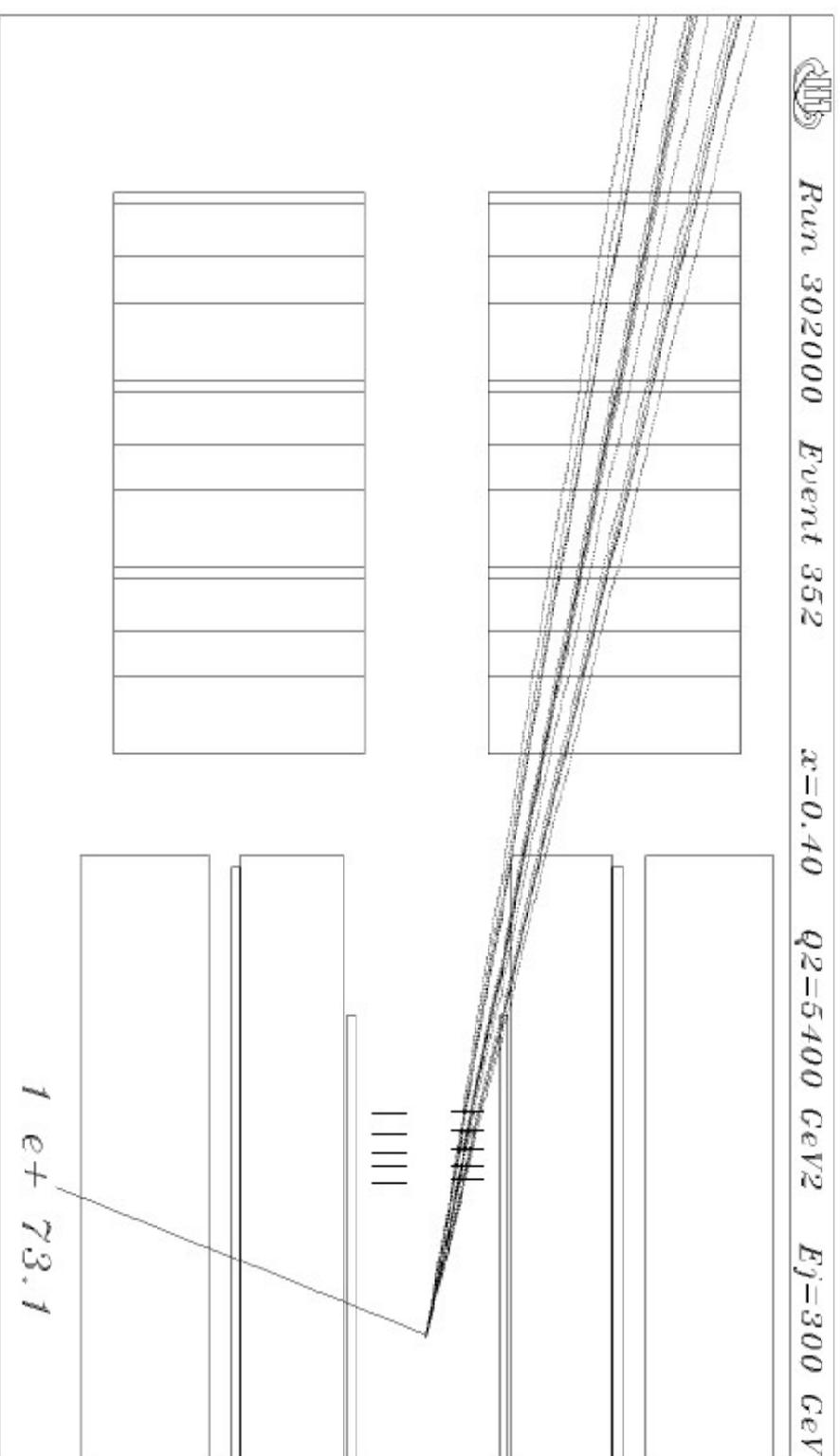
- Aufgabe der Detektoren
- Anordnung im Experiment
- Komponenten des Strip-Systems:
 - R-Strip-Detektormodul
 - Phi-Strip-Detektormodul
 - Strip-Repeater mit Anschluß-Technologie
 - Converter-Karten, Taktverteilung
 - Digitalisierung und Datenverdichtung (PowerPC-Modul, NIM-Fanout)
- Komponenten des Pad-Systems:
 - > Teil 2 des Vortrages
- Einbau und Inbetriebnahme
- Ausblicke und Weiterentwicklung

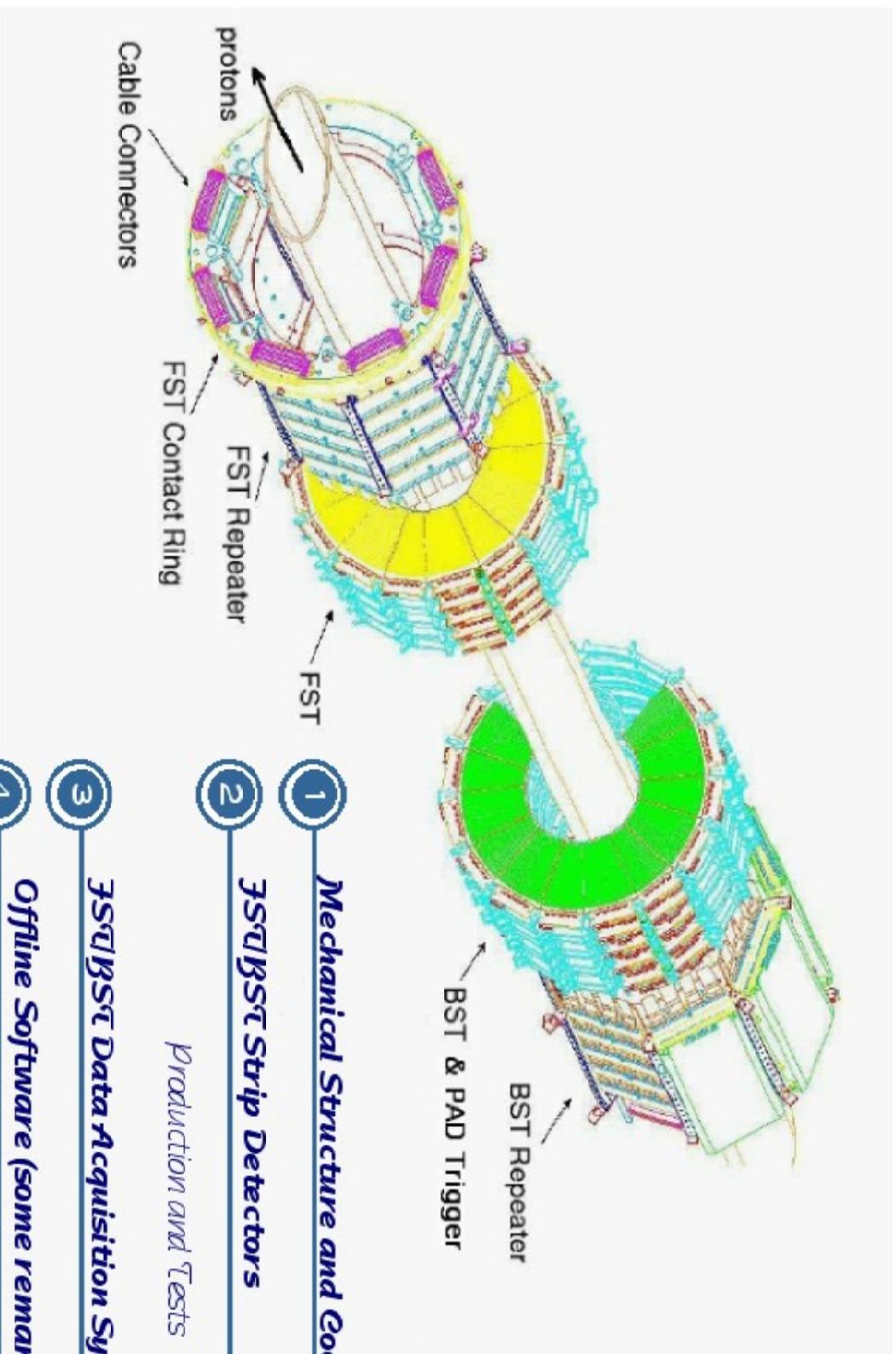
Siliziumdetektoren im H1-Experiment

- Entwicklung von BST 1 (4 Ebenen) und BST 2 (8 Ebenen) zu den jetzigen BST und FST
- 3 Spurdetektoren (in Flugrichtung des Protons): BST - CST - FST
Messung von Spurkoordinaten in einem Raumwinkel, der von den "central trackers" nicht erfaßt wird (BST, FST); Messung von Spurkoordinaten möglichst nahe am Vertex ("Hebelarm" zur besseren Rekonstruktion) (CST)
- zusätzlich vier Ebenen "pads" zum Triggern in Rückwärtsrichtung (wesentlich feinere Granulierung als SPACAL, daher "vertex pointing" und Unterdrückung des Untergrundes möglich)
- Anzahl der Auslesekanäle:
 - BST: 92160 (sequenziell jeweils 1280 = 2 Detektormodule, damit 72 Datenströme zu ADCs (im PPC-Modul)),
Reduktion durch Ermittlung von "Clustern" im PPC
 - FST: 92160 (sequenziell jeweils 1280 = 2 Detektormodule, damit 72 Datenströme zu ADCs (im PPC-Modul)),
Reduktion durch Ermittlung von "Clustern" im PPC
 - BST-Pad: 384 (parallel, Datenreduktion auf dem Repeater)
- Siliziumdetektoren ermöglichen sonst nicht mögliche Messungen bei H1 (s. Doktorarbeit Doris Eckstein u.a.) und zusätzliche Kalibration von anderen Subdetektoren (z.B. SPACAL) und erlauben damit erheblich weiter gestellte physikalische Fragestellungen

4

Offline Software





1 **Mechanical Structure and Cooling**

2 **JST/BST Strip Detectors**

Production and Tests

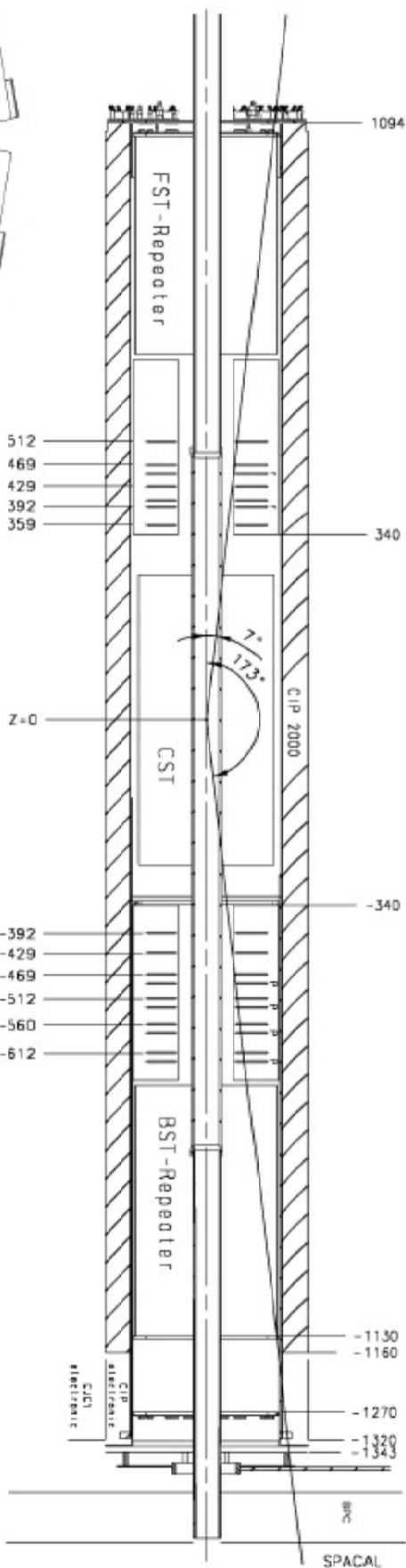
3 **JST/BST Data Acquisition System**

4 **Offline Software (some remarks)**

Summary

FST/BST Detector Status

1



FST

5 planes of u and v detectors -

and

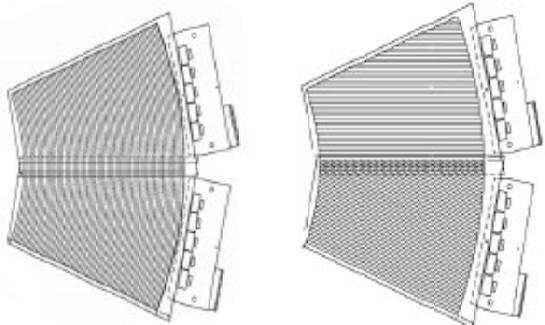
2 planes of r detectors -
pattern recognition

BST

6 planes of r and u detectors

and

4 planes of pad detectors - trigger

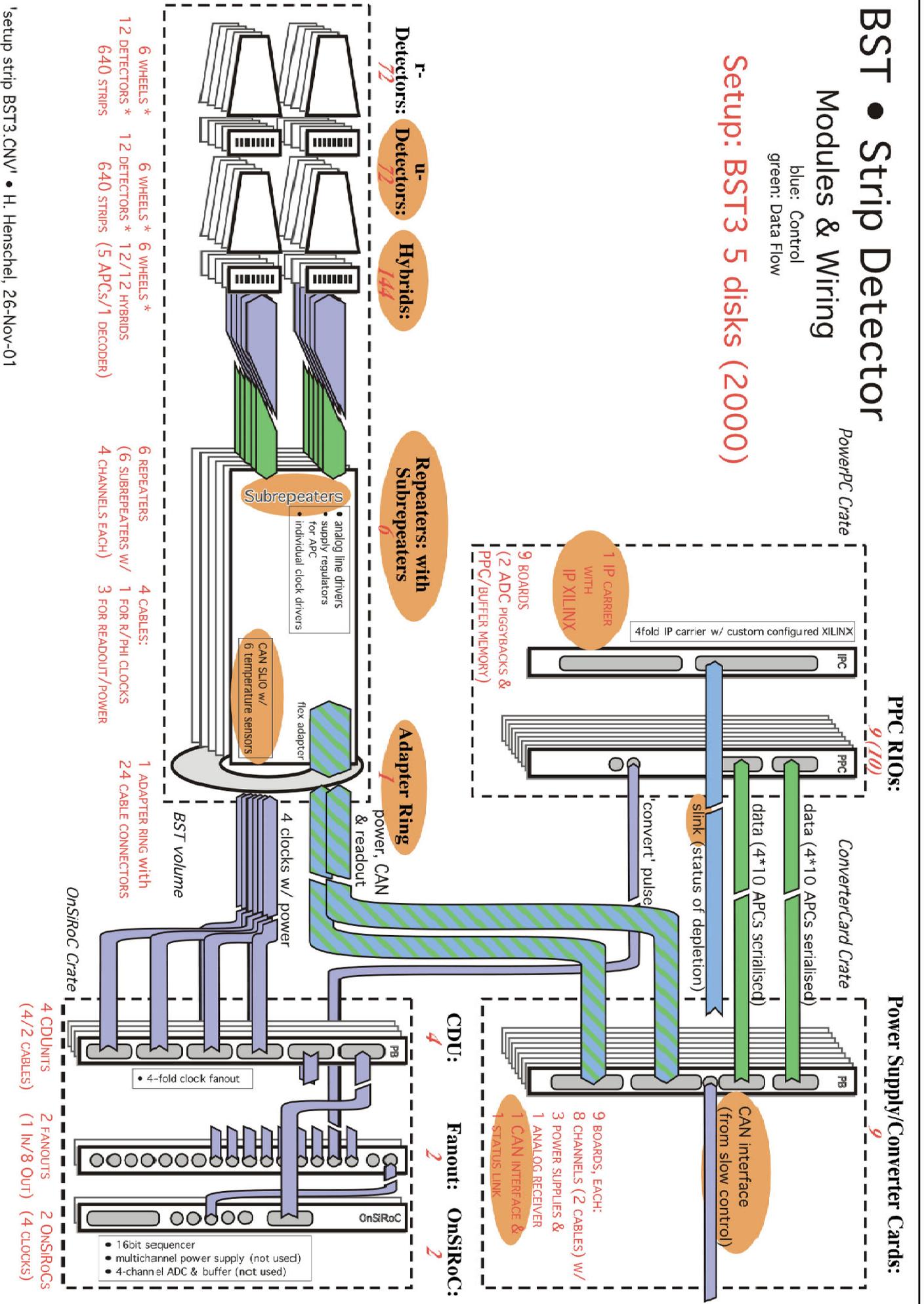


BST • Strip Detector

Modules & Wiring

blue: Control
green: Data Flow

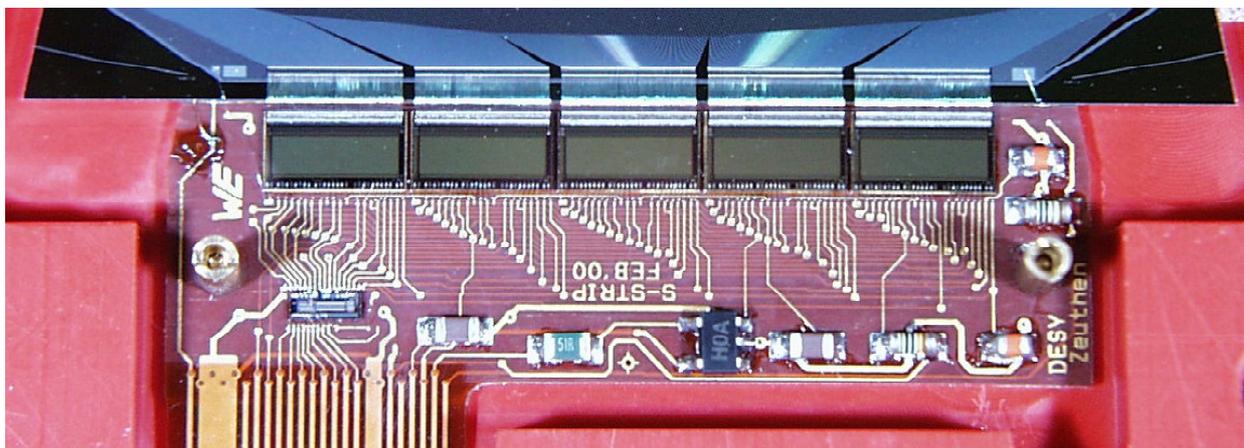
Setup: BST3 5 disks (2000)



1setup strip BST3.CNV' • H. Henschel, 26-Nov-01

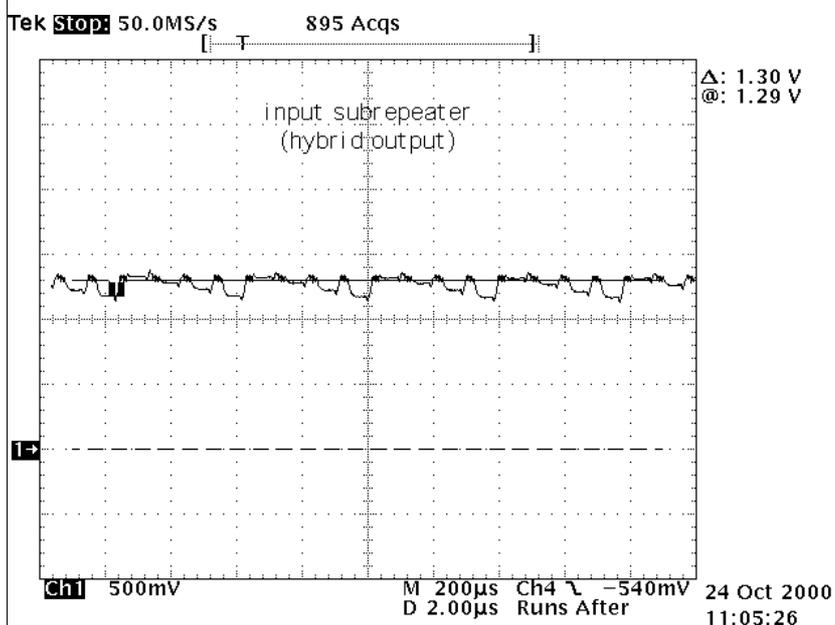
Die Strip-Detektormodule

- einheitlicher Aufbau für u- und v-Module (= S-Hybrid):



- Vorteile: nur ein Modultyp für BST/FST (Produktion, Anschluß an Subrepeater und Repeater, Signalverarbeitung, Taktung)

Analoges Ausgangssignal des S-Hybrids: die Impulse entsprechen etwa 30 k Elektronen pro Stufe am Eingang des APCs.

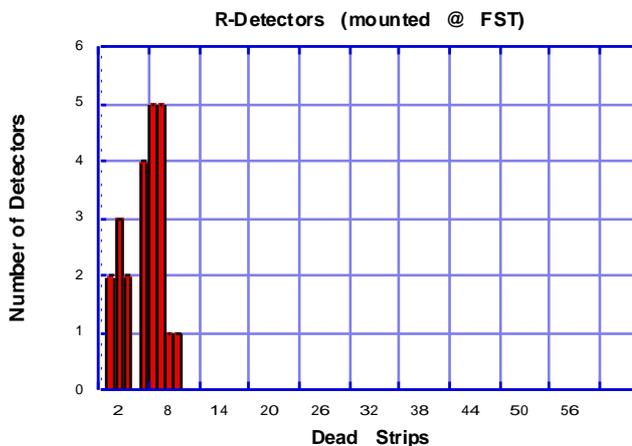


S-Hybrid - Fertigung

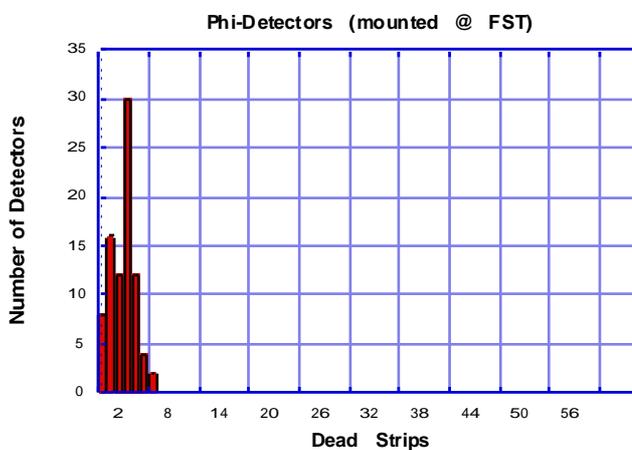
- 220 Hybride (PCB)
- 210 mit Sensor
- 192 eingebaut
- Module elektrisch geprüft (Funktion, Verarmungsspannung)
- Module mit Mikrofokus-Laser getestet (alle Streifen)

Qualität der montierten Strip-Detektormodule

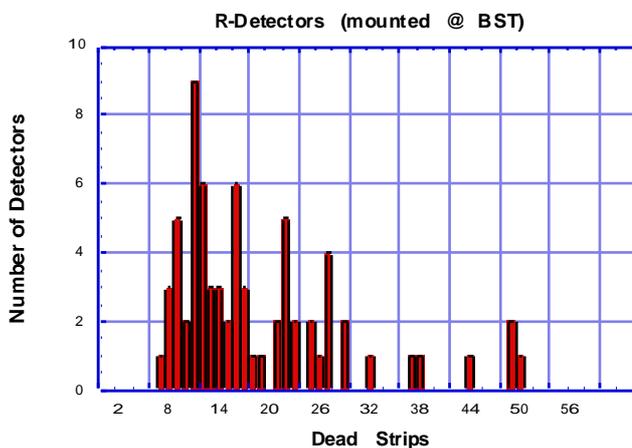
OK



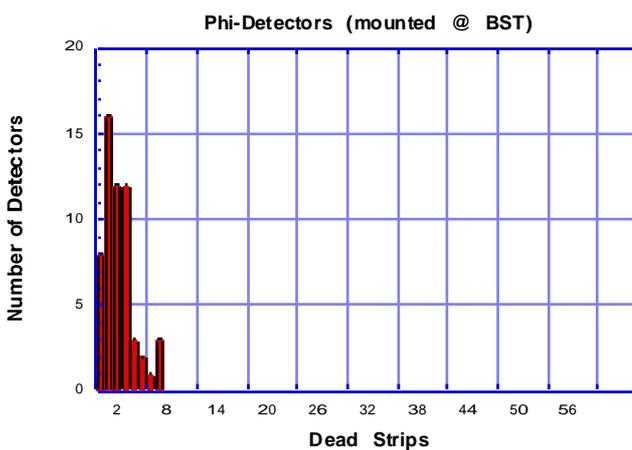
OK



??

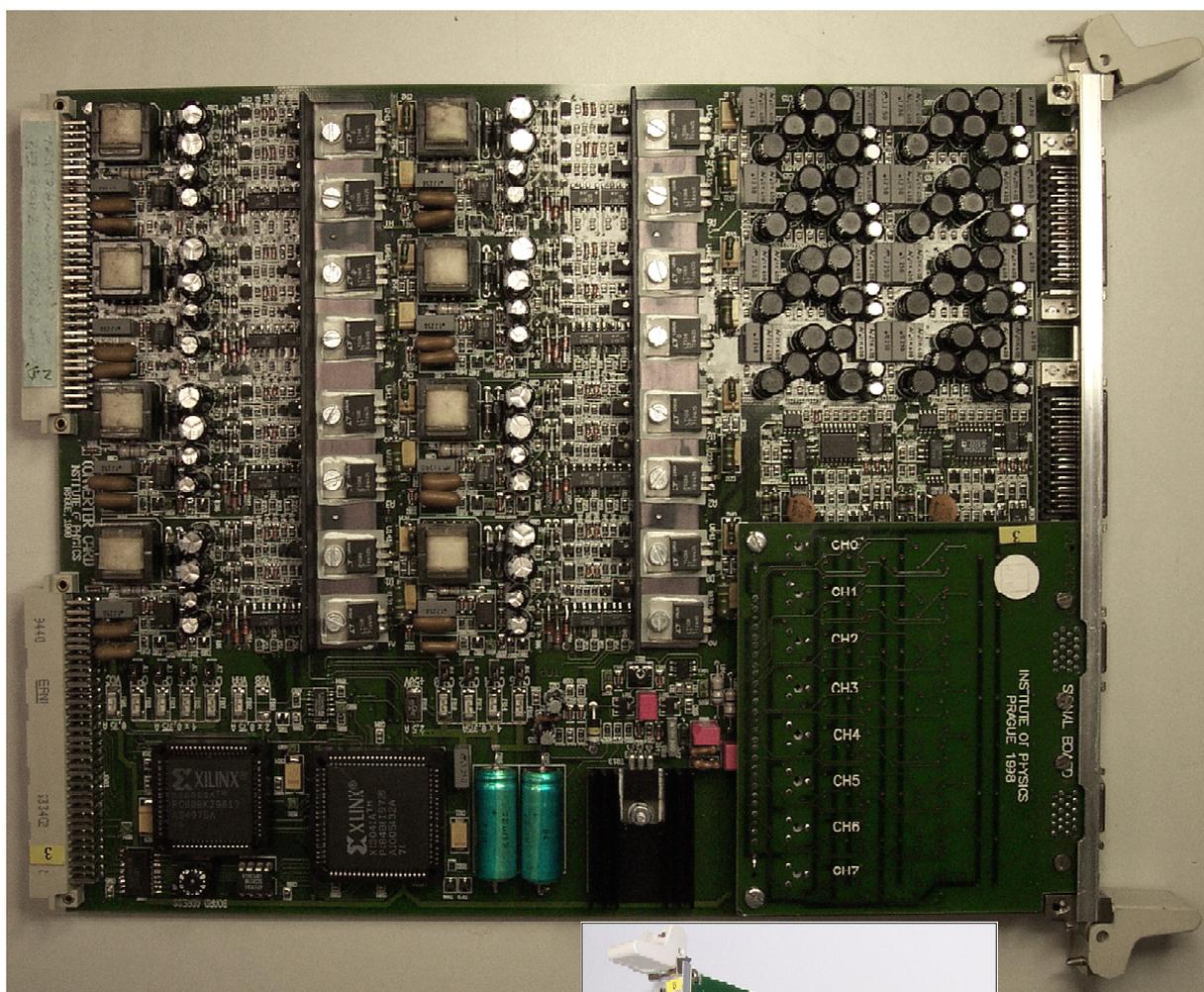


OK



Converter Card

- enthält Stromversorgung der gesamten "inneren" Detektorelektronik
- alle Spannungen lassen sich schalten und kontrollieren, die Verarmungsspannung ist in feinen Schritten einstellbar, alle Spannungsquellen haben eine Strombegrenzung
- verstärkt das Analogsignal der Detektormodule und paßt es an den ADC an

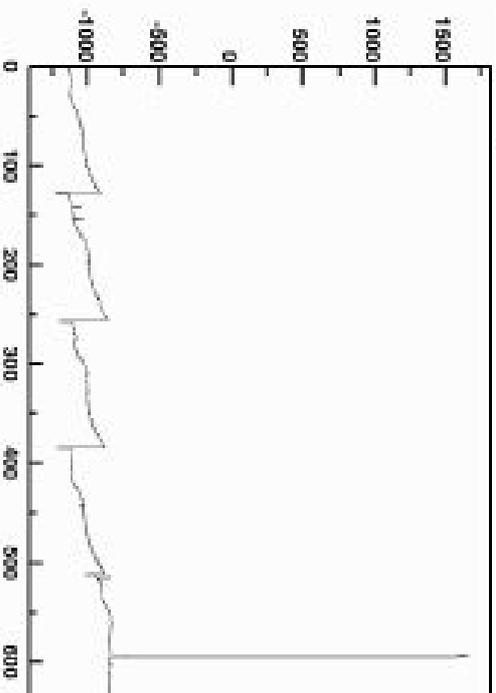


- die Converterkarte steuert über die Rückverdrahtung einen sog. "status link", der den Schaltzustand der Verarmungsspannung zum VME-Crate der PowerPCs überträgt

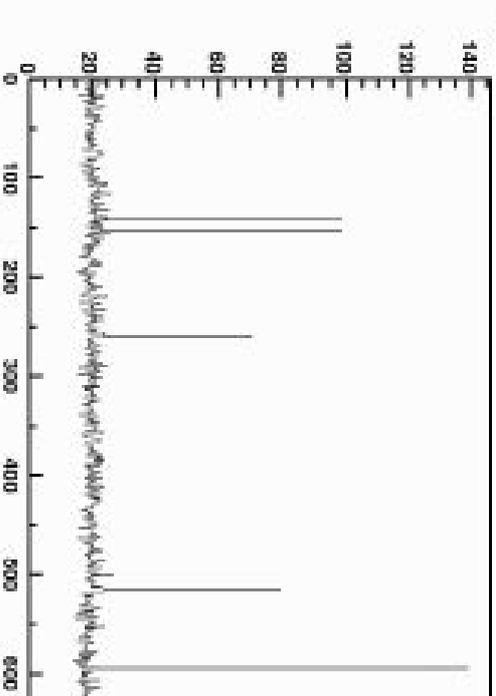


Performance Test of *r* Strip Detectors from *gST2*

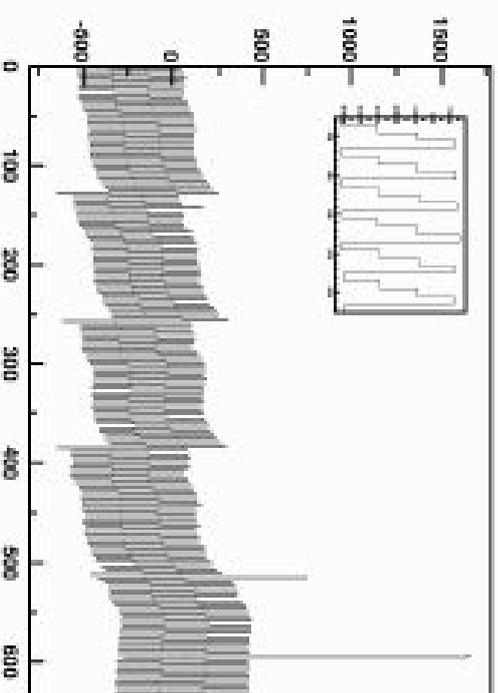
Pedestals



Noise 1



Calibration Pulses



next

laser pulse tests

-> selection of best *r* detectors for
FST/BST3 (24/72)

PowerPC mit ADC-Modulen (mezzanine boards)

- digitalisiert 8 Datenströme ($2 \cdot (4 \cdot 2)$ Hybride)
(= 80 APC = 10240 Signale)
- berechnet gleitend die Mittelwerte und Streuungen von Pedestal und Gleichtakt-Rauschen ("common mode") für jeweils einen APC und ebenfalls für jeweils einen Detektormodul (ein Sensor)
- werden Signale über dem Rauschen erkannt, ermittelt ein Cluster-Suchprogramm die Signalladung und deren Verteilung über die entsprechenden Streifen, diese Parameter werden ausgelesen (Datenreduktion)
- über den Statuslink wird geprüft, ob die Daten sinnvoll sind (Sensoren sind unter Spannung = Verarmungsspannung ein)
- zur Synchronisation der Digitalisierung wird über ein NIM-Fanout-Modul der Auslesetakt vom Sequenzer-Modul "OnSiROC" verteilt
- Betriebssystem des PowerPC stammt von CES
- Anwendersoftware (Funktionen s.o.) wurde in Zeuthen entworfen und geschrieben
- die Anwendersoftware ermöglicht verschiedene Auslese-Modi, unter anderem den Rohdaten-Modus, der eine Beurteilung jedes einzelnen Signals ermöglicht

H1:BST • PAD Detektor und Trigger Einführung

1999

Genehmigung zur Entwicklung eines neuen Frontend ASIC
(Vorverstärker, Diskriminator, Rauschunterdrücker)

-> Anpassung der gesamten Folge-Elektronik

- Hybrid
- Repeater (Versorgung, Steuerung, Auslese und Datenkompression)
- Stromversorgung und 'Slow Control' (PDS)
- Auslese (Trigger Card, Master Card)

2001

Mai Installation in H1 (Detektoren, Hybride, Repeater...)

Oktober Installation der Trailer-Elektronik

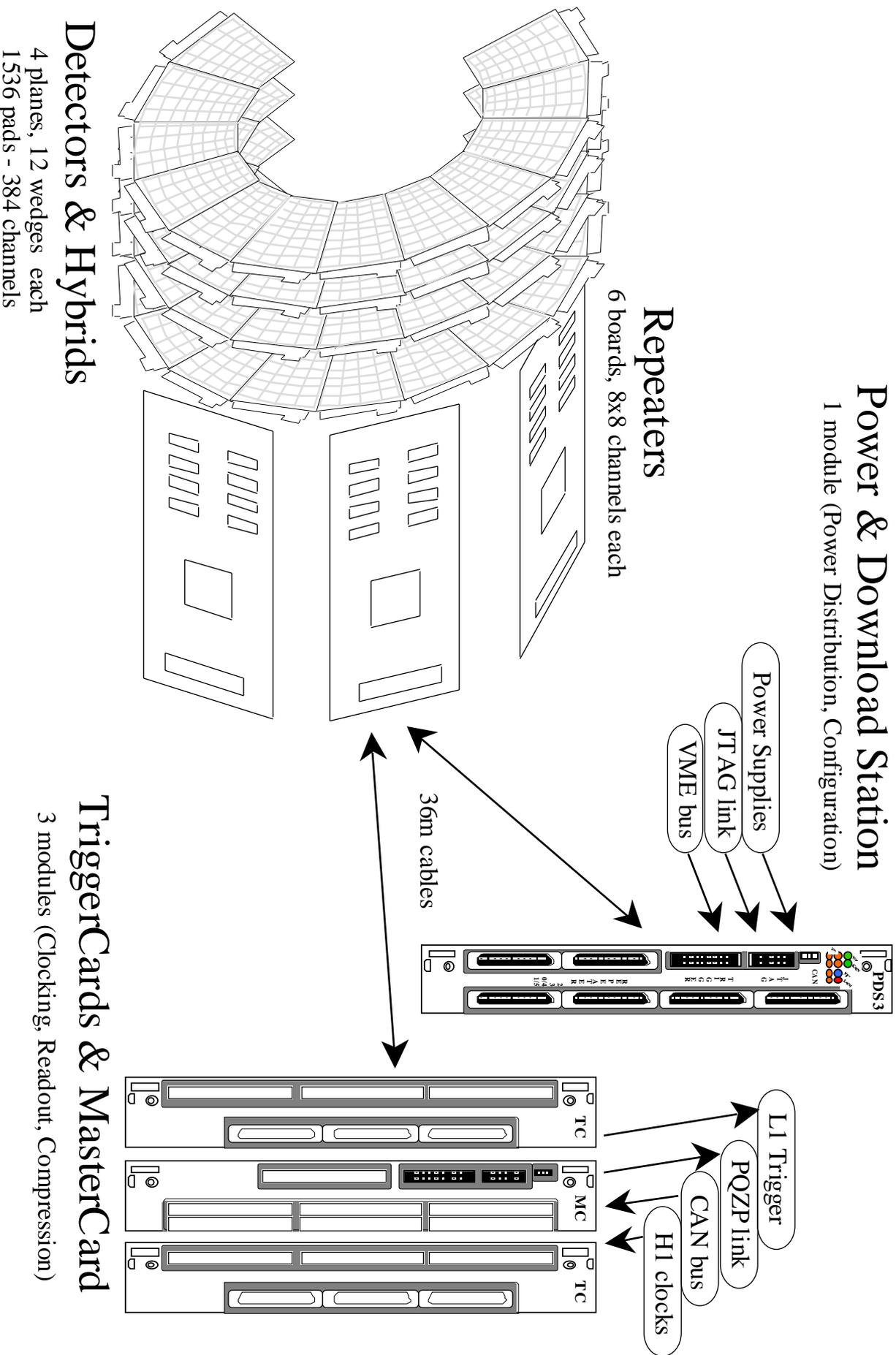
...z.Zt.

- Test
- Integration in den H1 Trigger (Level 1 und DAQ)
- Fertigstellung der Steuer-Software (Bedienoberfläche)

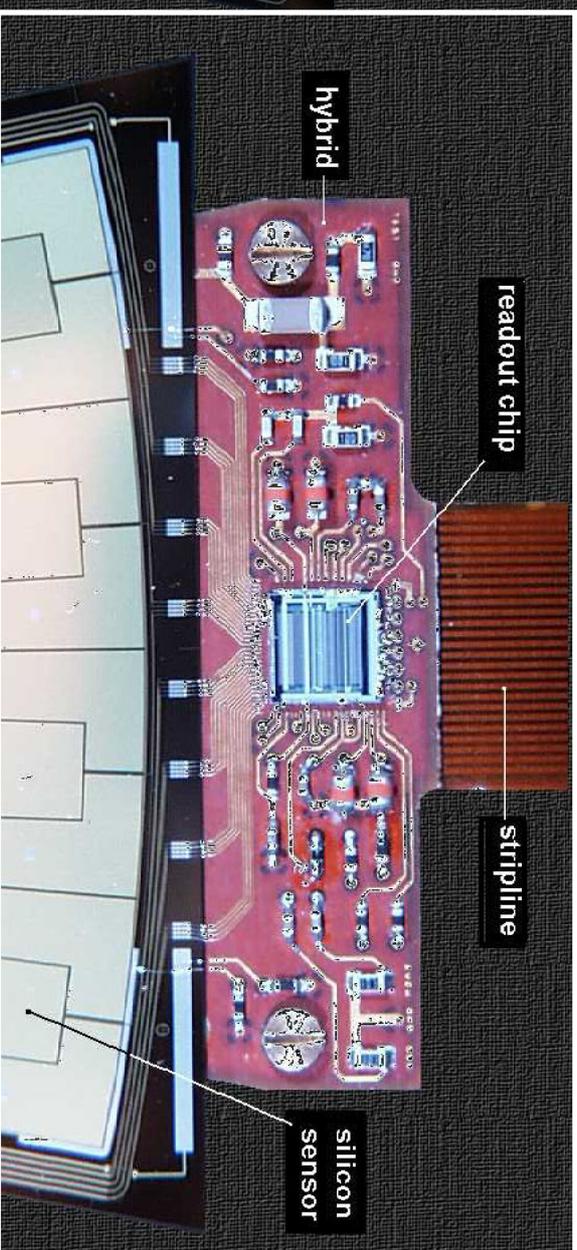
2002

- Integration in den H1 Trigger (Level 2) - Rohdaten-Auslese

H1:BST • PAD Detektor und Trigger Modul-Struktur



H1:BST • PAD Detektor und Trigger Detektor-Modul (Hybrid)



PRO/A chip (VA4x8T_v2)

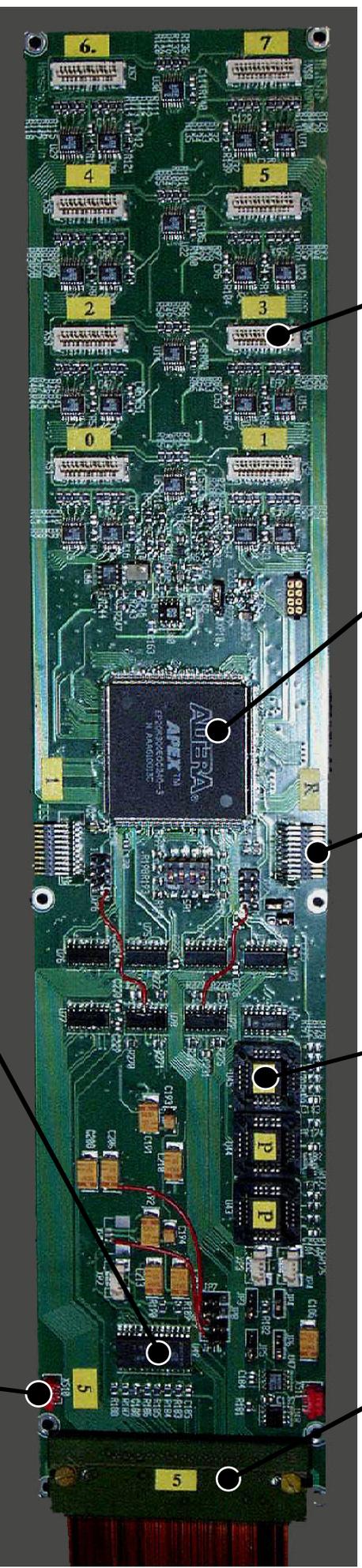
32 channels in:

- AC coupled pads
- pre-amp & shaper
- threshold discriminator (8 external thresholds)
- subtraction stage (to expunge common mode noise)

8 channels digital out:

- on-board wired OR (ring-wise)

H1:BST • PAD Detektor und Trigger Repeater (1) - Ansicht



FPGA für Trigger:

- Synchronisation
- Datenverarbeitung (Spurfinder)

Steckverbinder für Hybrid

EEPROMs für
'default'-Konfiguration

Steckverbinder für
Ringschluß zum Nachbarsektor

Flex-Leiterplatte zum
Kabelanschlußring

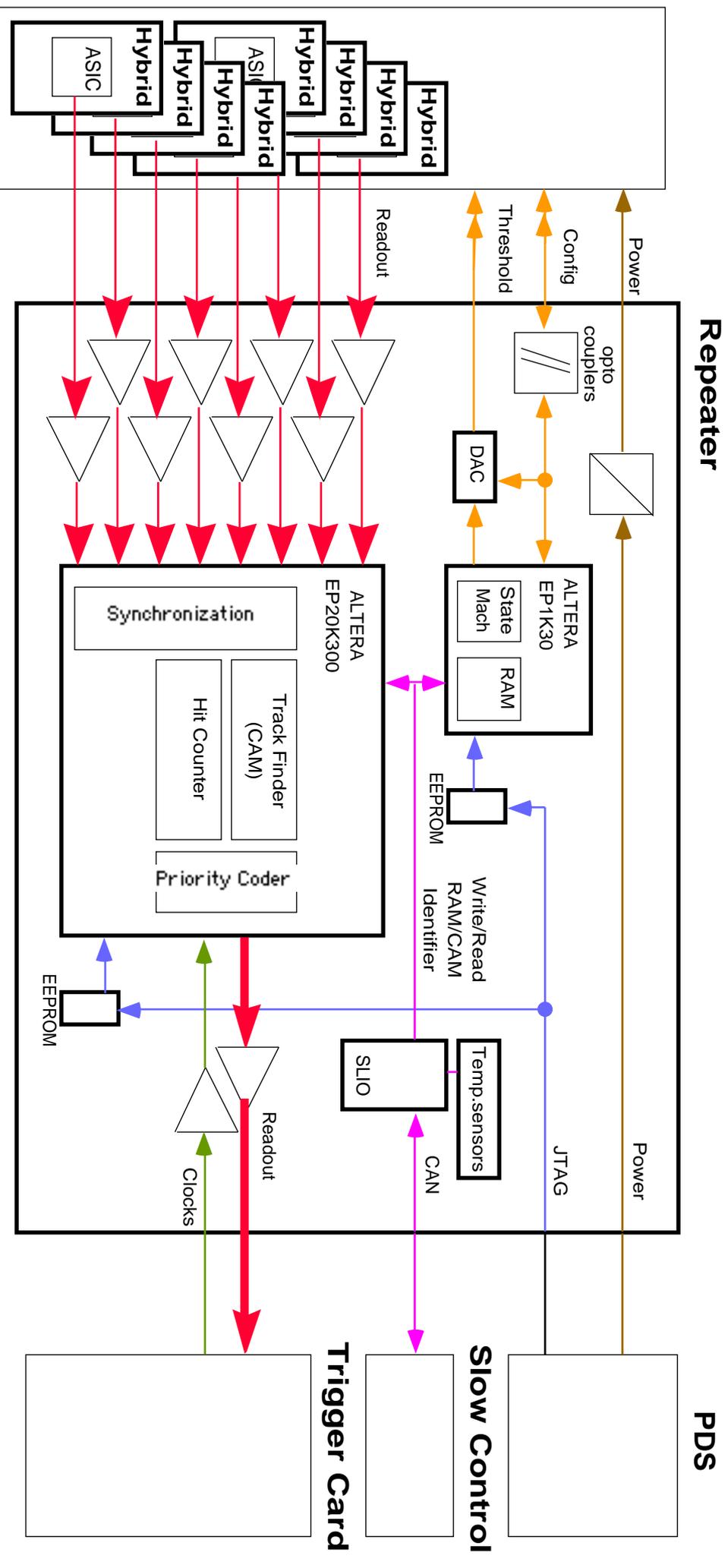
Rückseite:

- FPGA für Konfiguration
- DAC für Diskriminatorschwellen
- Spannungsregler

CAN-SLIO
(Digitale & Analoge I/O-Schnittstelle)

CAN-Bus
(Ring über alle Pad- & Strip-Repeater)

H1:BST • PAD Detektor und Trigger Repeater (2) - Blockschaltbild



H1:BST • PAD Detektor und Trigger Repeater (3) - Funktionen

Readout/Logik

- 64 digitale Eingänge von den Hybriden
- flankengesteuerte Synchronisation mit dem H1 clock
- Vergleich des Hitmusters mit vorgegebenen Tracksignaturen
 - CAM-Architektur: parallele Suche ohne Totzeit; codierte Ergebnisausgabe
 - > **positives Triggersignal**
- parallele Summierung aller Hits - Maß für die Belastung durch 'Untergrund'-Ereignisse
 - > **Veto-Trigger-Signal**
- Leitungstreiber für 40m twisted-pair Kabel

Slow Control

via CAN-Bus:

- Konfiguration der Vorverstärker-ASICs (automatisch nach PowerOn) - über Optokoppler
 - Einstellung der 8 Diskriminator-Schwellen
 - Laden der Trigger-Masken (CAM)
 - Registrieren der aktuellen FPGA-Konfiguration (16 bit "Identifier")
 - Überwachen der Versorgungsspannungen
 - Messen von bis zu drei Temperaturen (je Repeater)
- via JTAG-Bus:
- Verändern der FPGA-Konfigurationen (z.B. auch automatisch mit wechselnder Luminosität!)
 - Verändern der 'default'-Konfigurationen, die nach dem Einschalten wirksam ist

Stromversorgung

- Regelung/Filterung von 9 Versorgungsspannungen

H1:BST • PAD Detektor und Trigger Power/Download Station

Funktion

Stromversorgung der Repeater,

Interface zwischen Repeater und Slow Control

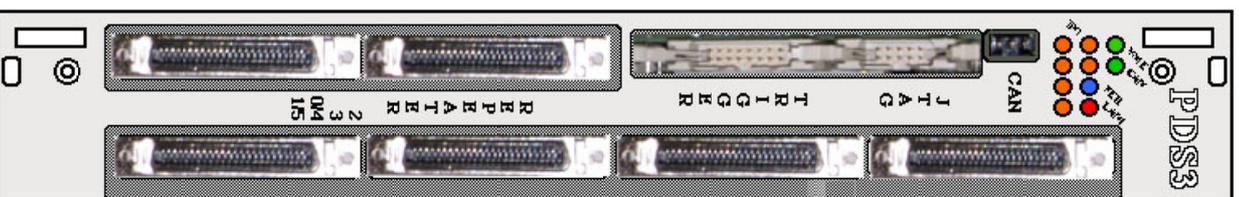
- Status-Register (read-only) für Repeater-Zustand und H1 Trigger
- JTAG Multiplexer und Steuerregister für Repeater
- Identifier-Register (optional)

Front Panel

- **6 Versorgungs-/Steuerungskabel** zu den Repeatern (50-adrig)
- JTAG Eingang (vom PC)
- CAN Eingang (optional)
- Verbindungskabel zur Master Card für Status-Signale
- Status-LEDs

Rückseite

- VME-Interface für Slow Control
- Stromversorgung über J2/P2
(9 Rohspannungen aus kommerziellem Gerät, IEEE-gesteuert)

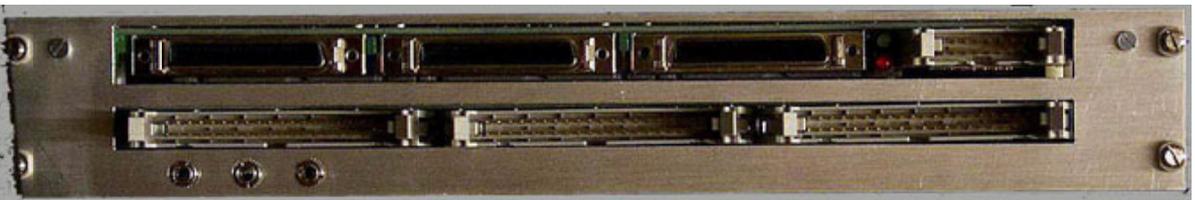


H1:BST • PAD Detektor und Trigger Trigger- & Master Cards

Trigger Card (2 Stück)

Funktion

- einstellbare Phasenverschiebung für Clock & Steuer-Signale
- Pegelanpassung Readout an H1-Standard



Front Panel

- 3 **Readout-Kabel** (50-adrig) vom Repeater
- 3 **Trigger-Bus** Kabel zur MasterCard und zum PQZP Speichermodul
- Status-Kabel zur Master Card und PDS
- Status-LEDs

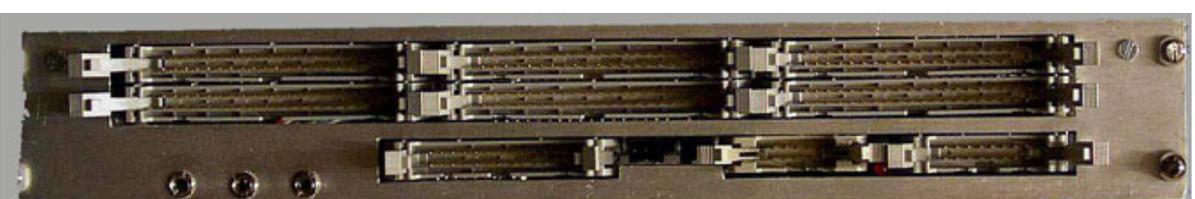
Rückseite

- H1 clock & trigger signale (J2/P2)
- (ohne VME-Interface)

Master Card

Funktion

- Kombination der Trigger-Signale aller 12 Sektoren (APEX 20K300)
- Status- und Identifier-Register für PAD-Trigger (Event-Rekonstruktion)



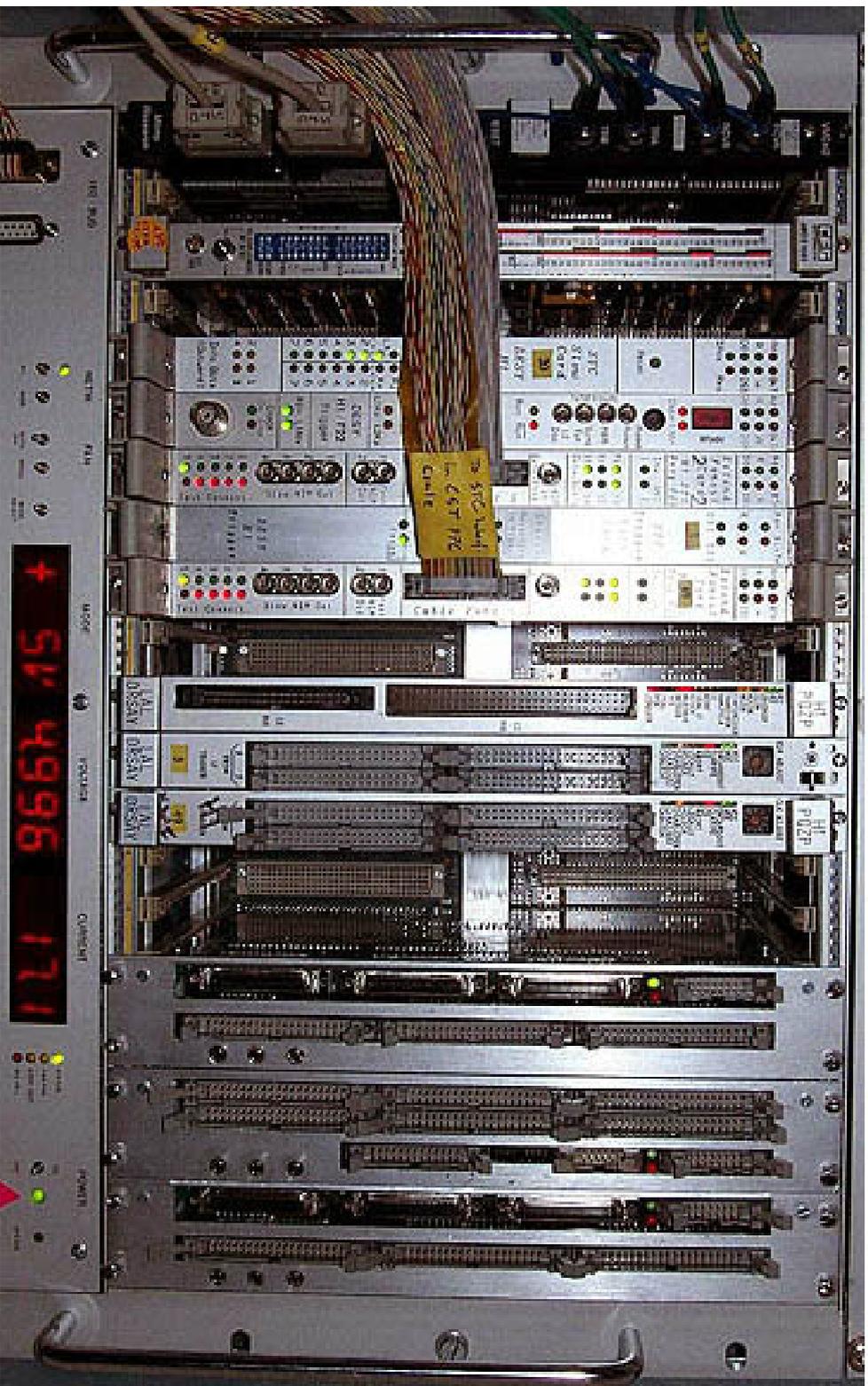
Front Panel

- 6 **Trigger-Bus-Kabel** im H1-Standard
- Verbindungskabel zu Trigger Cards und PDS
- **L1-Trigger-Kabel** zum Central Trigger (8 bit)
- JTAG-Anschluß
- CAN-Bus

Rückseite

- H1 clock & trigger signale (J2/P2)
- VME Interface

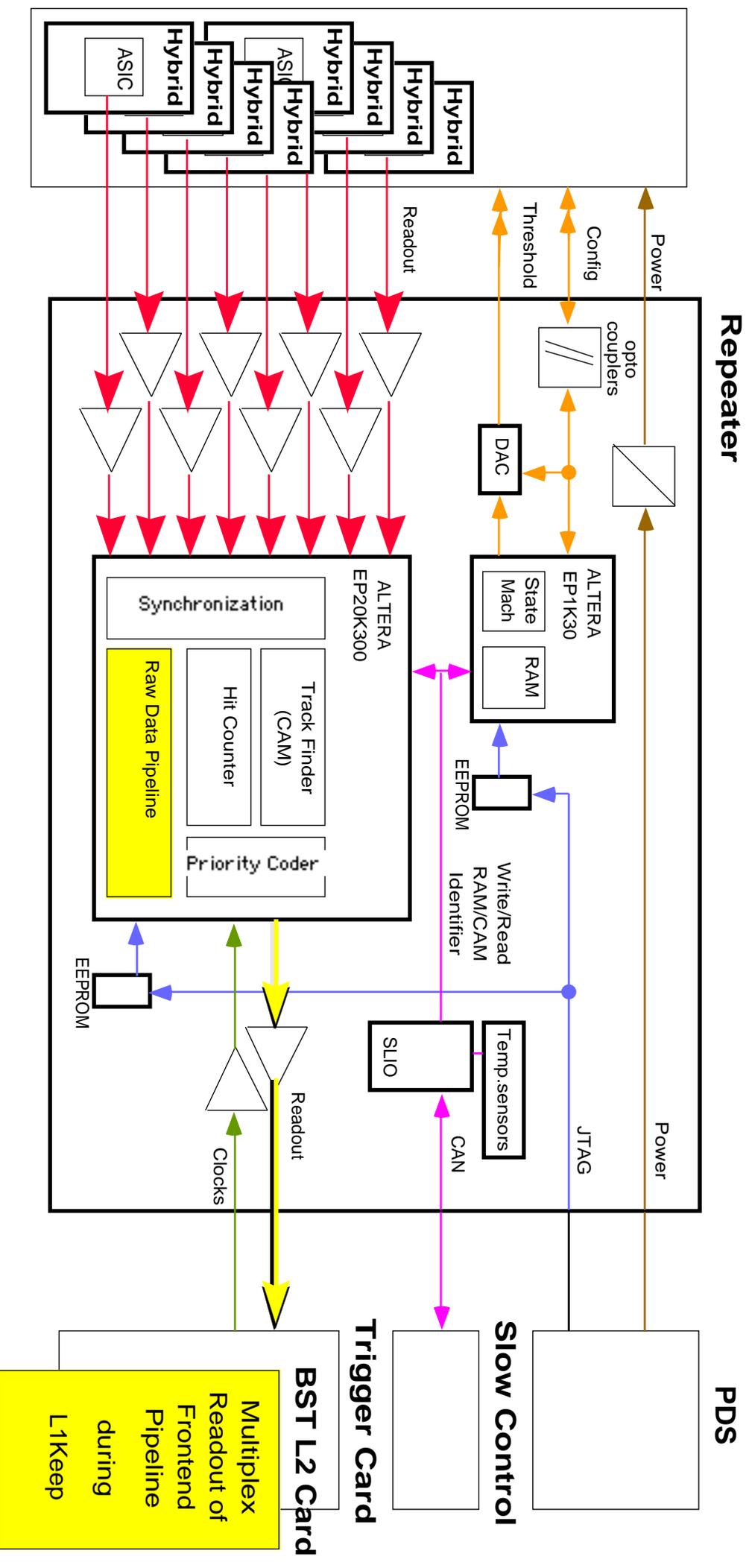
H1:BST • PAD Detektor und Trigger Silicon Trigger Crate



- SlowCard
- FastCard
- Ext.Fanout (BST)
- TriggerBits
- Ext.Fanout (CST)
- PQZP L2/L3
- StoreCard
- StoreCard
- BST TriggerCard
- BST MasterCard
- BST TriggerCard

H1:BST • PAD Detektor und Trigger

Trigger Level 2 • Ausblick



H1:BST • PAD Detektor und Trigger - H1:FST/BST • Strip Detektoren

Slow Control (1) - Aufgaben

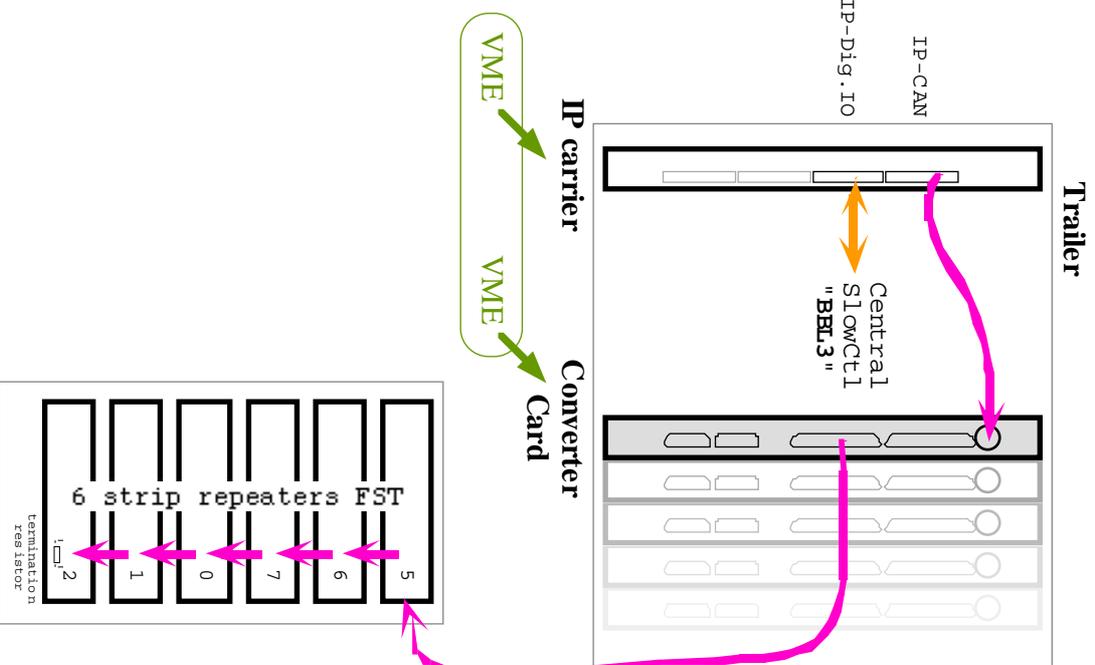
Aufgaben

- Ein/Ausschalten (ConverterCards) (Hewlett Packard)
- Überwachung von Strahlungs-Dosis und Kühlkreislauf (Abfragen des zentralen H1 SlowControl-Systems)
- Temperaturmessung
- Meldung des Zustands von FST/BST an die zentrale SlowControl
- Überwachung des Repeaterzustands
- Einstellen der 48 Diskriminator-Schwellen
- Laden von Spur-Mustern für Trigger
- Rekonfigurieren der FPGAs
- 'Loggen' der aktuellen Konfiguration (Identifier)

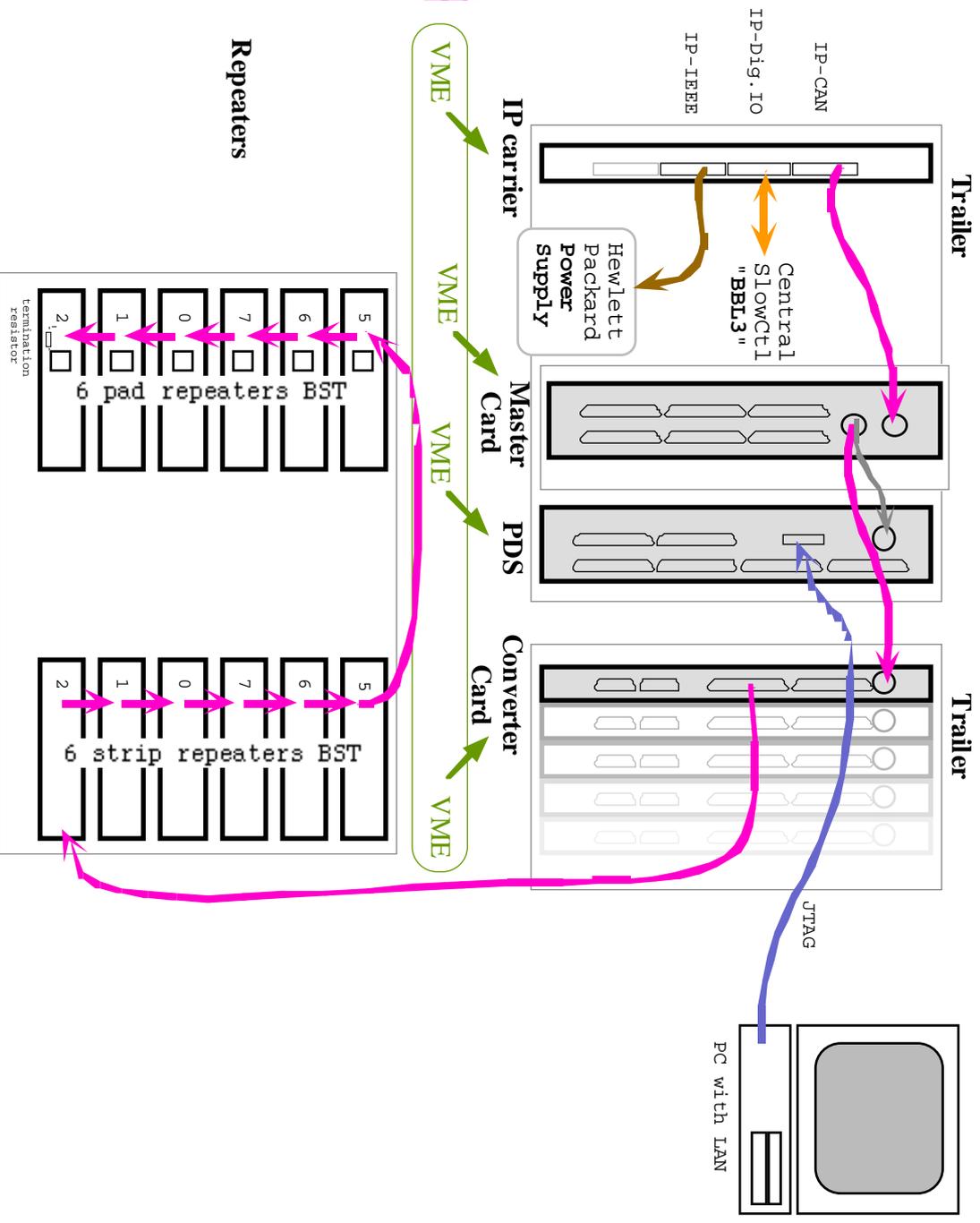
	mittels	FST	BST	PAD
	VME	•	•	
	IEBEE (VME-IP)			•
	Dig.I/O (VME-IP)	•		•
	CAN (VME-IP)	21x	19x	10x
	Dig.I/O (VME-IP)	•	•	•
	CAN (VME-IP)			•
	CAN (VME-IP)			•
	CAN (VME-IP)			•
	JTAG & VME			•
	CAN (VME-IP)			•

H1:BST • PAD Detektor und Trigger - H1:FST/BST • Strip Detektoren Slow Control (2) - Struktur

FST Slow Control Scheme

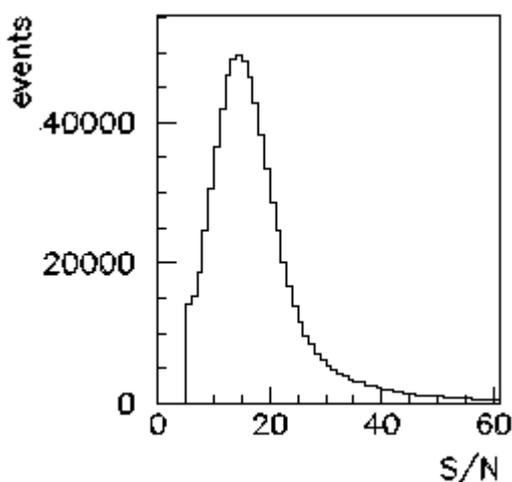


BST/PAD Slow Control Scheme

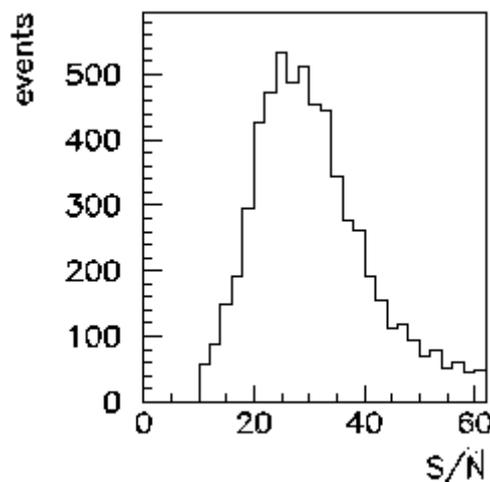


Einbau und Inbetriebnahme

- FST und BST wurden im Mai 2001 eingebaut und vollständig geprüft
- die Kühlung wurde bis zu den äußeren Anschlüssen (etwa CDA) geprüft
- nach Abschluß der Montage des Gesamtdetektors Ende September wurde erneut geprüft
- zur Zeit werden die Konverterkarten und PowerPC-Module installiert und in Betrieb genommen
- wegen eines Kühlproblems (vermutlich im äußeren Wasserkreislauf) kann der FST wahrscheinlich erst nach dem nächsten "mini-shutdown" (vorgesehen für Januar 2002) im Dauerbetrieb benutzt werden
- erreicht Signal-zu-Rauschen-Verhältnisse des Vorgängers BST 2:



$$S/N (R) \geq 14$$



$$S/N (\Phi) \geq 25$$

für den wahrscheinlichsten Wert, berechnet mit der gesamten Ladung
des Clusters

Ausblicke und Weiterentwicklung

- FST und BST sollen für die kommende Betriebsperiode die physikalischen Möglichkeiten des H1-Detektors erweitern
- für den Betrieb dieser aufwendigen und teuren Detektoren ist eine qualifizierte Mannschaft erforderlich, die permanent im DESY HH arbeitet
- die Implementation des Triggers erfordert noch viel Arbeit; bislang existieren die Werkzeuge, Erfahrungen unter "Luminosity"-Bedingungen liegen noch nicht vor ... "physikalische Reifung"
- die inzwischen mehrfach verwendeten R-Detektoren der ersten Generation (Micron-Sensoren, 5 Decoder) werden wegen Strahlenschäden und mechanischen Beschädigungen bei der nächsten Demontage ausgetauscht werden müssen
- eine Entwicklung von doppelseitigen Sensoren und von entsprechenden Detektormodulen wurde inzwischen begonnen
- über die Stabilität der Detektoren unter den neuen "high luminosity" Bedingungen lassen sich noch keine Aussagen machen
- ein kritisches Bauteil der "äußeren" Elektronik ist der Sequenzer-Modul "OnSiROC", der nicht weiter zur Verfügung steht; hier kann eine Nachentwicklung erforderlich werden

Ein Dankeschön an alle, die den erfolgreichen Fortgang dieser umfangreichen Arbeiten möglich gemacht haben.
Es war sehr oft und über lange Zeit ein überdurchschnittlicher Einsatz notwendig.