

Untersuchungen zu schnellen Linktechnologien für APE NEXT

Axel Kretzschmann

Holger Leich

Karl-Heinz Sulanke

DESY Zeuthen

Custom Link

Channel Link

Current Mode

Dieser Vortrag liegt hier aus
technischen und rechtlichen
Gründen nur unvollständig vor.

Anforderungen

- Topologie: Punkt zu Punkt, bidirektional
- Datenrate: 400 MByte/s effektiv für den Nutzer
- Format: 64 bit Worte in Paketen unterschiedlicher Länge (<100 Worte)
- Zeit zur Richtungsumschaltung: möglichst 100 ns oder weniger
- Fehlerrate: $\ll 10^{-12}$ Fehler pro 64 bit Wort
- Übertragungsmedium:
 - auf einem PCB Entfernung: 5...70 cm
 - zwischen PCBs über eine Backplane Entfernung: ca. 100 cm
 - Kabel Entfernung: ca. 200 cm
- geringer Leistungsbedarf
- gute Integrierbarkeit auf späterem customchip

3

Grundideen des Custom Link

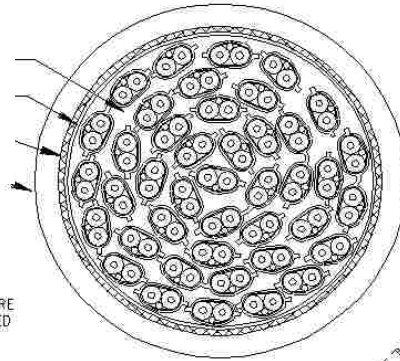
- LVDS Pegel (Low Voltage Differential Signaling) auf Kupferleitungen
- paralleler Bus mit moderaten Bitraten (wenige 100 Mbit/s)
- clock wird mit übertragen
- durch Umschaltung der Übertragungsrichtung halbiert sich die Anzahl der Leitungen
- keine PLLs im Datenpfad, um schnelle Richtungsumschaltung zu gewährleisten
- Daten werden "dc balanced" kodiert
- Leitungen werden AC-gekoppelt, hohe Störspannungsfestigkeit
- Fehlerkorrekturcode generiert und übertragen ("EDAC")
- hohe Flexibilität der Konfiguration durch Veränderbarkeit der 3 Parameter gegeben :
Datendurchsatz = Bitrate * Anzahl der Leitungen

4

Übertragungsmedium: Kabel A

bidirektionaler Betrieb: Kabel an beiden Seiten terminiert
hoher Wellenwiderstand ($> 100 \Omega$) nötig

"Spectra-Strip SKEWCLEAR" von Amphenol.
impedance: 100Ω oder $150 \Omega \pm 5\%$.
skew in pair: $< 60 \text{ ps} / 10 \text{ ft}$
skew pair / pair: $< 200 \text{ ps} / 10 \text{ ft}$
Stecker: keiner



FIGURES ON SHEET 2
SHOW THE CABLE'S CORE
PRIOR TO BEING FORMED
TO ROUND.

5

Übertragungsmedium: Kabel B

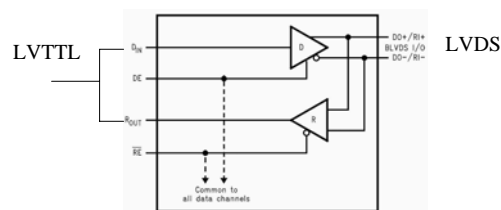
"Pleated Foil Shielded Cable" von 3M
impedance: $130 \Omega \pm 10\%$
skew pair / pair: $< 300 \text{ ps} / 10 \text{ m}$
Stecker: MDR 80 pol



6

LVTTL to LVDS Tranceiver

- Tranceiver muß beidseitig terminierte Leitung treiben können.
- DS92LV090A von National Semiconductor:
- 9 Kanäle Driver und Receiver
- chip to chip skew: $\pm 800\text{ps}$
- speed: "above 100 Mbps"



7

Generierung der Daten

- programmierbarer Logikbaustein
- schnellste *lieferbare* FPGA mittlerer Komplexität war FLEX 10KE50-1 von ALTERA.
- Systemtakt: 250 MHz
- Spannung für core: 2,5 V
- Spannung für I/O: 3,3 V
- Gehäuse: 144 pin TQFP; 0,5 mm pitch
- Entwicklungsumgebung: MAX+PLUS II Version 9.3 bis 9.5
StateCAD 5.01

8

Takterzeugung

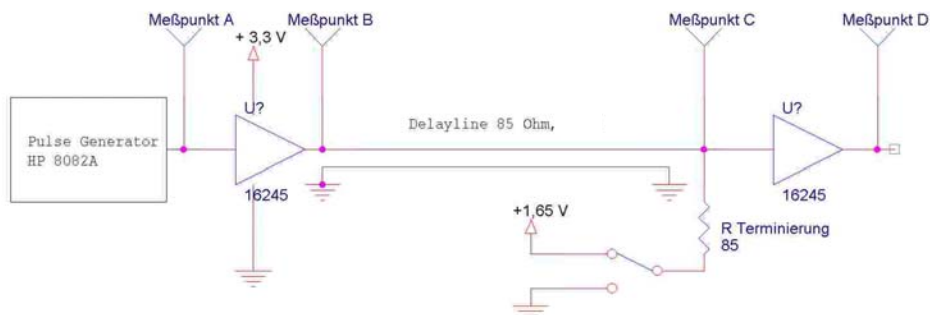
- S4503 von AMCC: schwingt frei
- MPC991 von MOTOROLA: no go
- MC12429 von MOTOROLA: ok

- Flex benötigt 2,0 ns high, 2,0 ns low, steile Flanken
- Umsetzung von diff. ECL nach LVTTTL nicht möglich
- benutzt: HP 8082A über LEMO Buchse

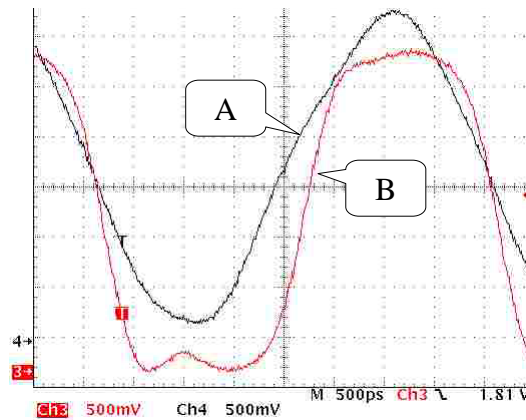
9

können wir 250 MHz messen ?

- Oszilloskop: Tektronix TDS 784 C, Bandbreite: 1 GHz,
probe: aktive P6245, Bandbreite: 1,5 GHz
Abtastrate: 1...4 GS/s im single shot oder > 25 GS/S im repetitive mode
Meßpunkte: 3 polige Jumperstifte laut Tektronix



wir können !



Es ist möglich, Signale mit einer Frequenz von 250 MHz zu übertragen und zu messen.

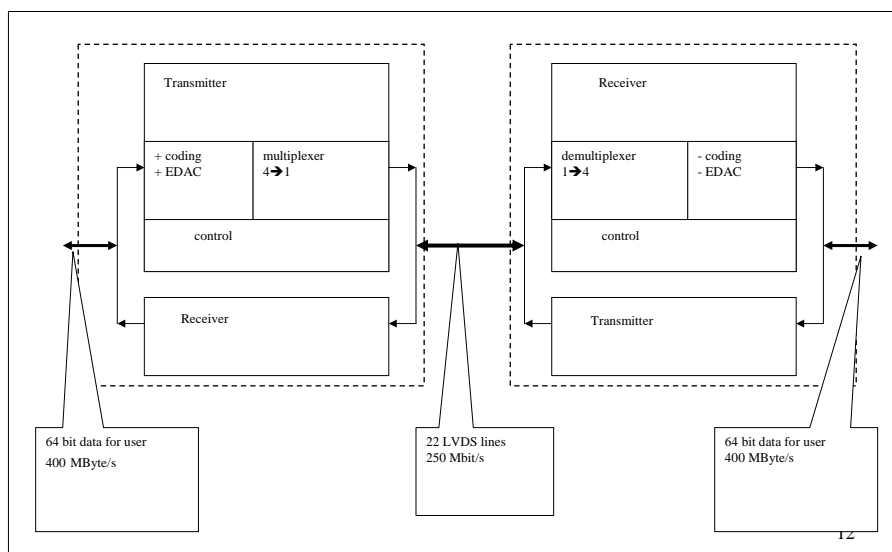
Die verwendeten Komponenten sind einsatzfähig.

Die Eigenanstiegszeit des Oszilloskopes muß berücksichtigt werden.

Ohne Meßpunkte sind nur ungenaue Messungen möglich.

11

Funktion des Custom Link





forward crosstalk plus reflected backward crosstalk

worst case:

Alle Leitungspaare schalten gleichzeitig einen H-Puls mit der Länge eines Bits (4 ns).
Eines der mittleren Leitungspaare im Kabel bleibt auf L.

Am Ende der Leitungen direkt vor dem Transceiver wird das Übersprechen gemessen.

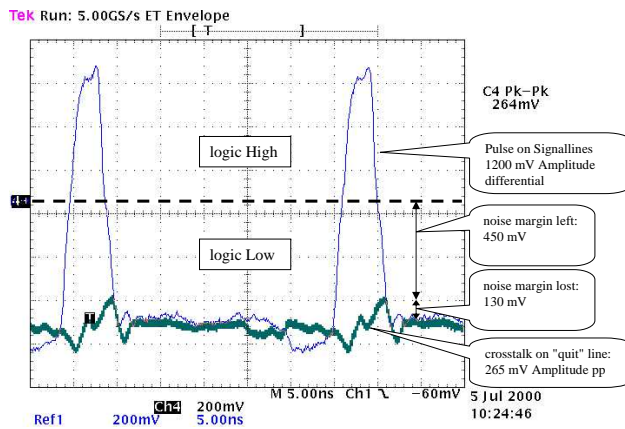


Abb. 10 Crosstalk on Differential Transmission Line

14

Datenübertragung bidirectional

Polylux Folie Nr 4: "Direction Switching, Signalflow"

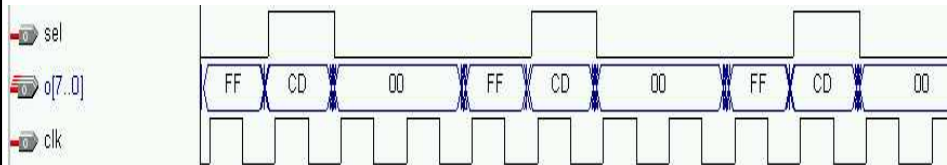
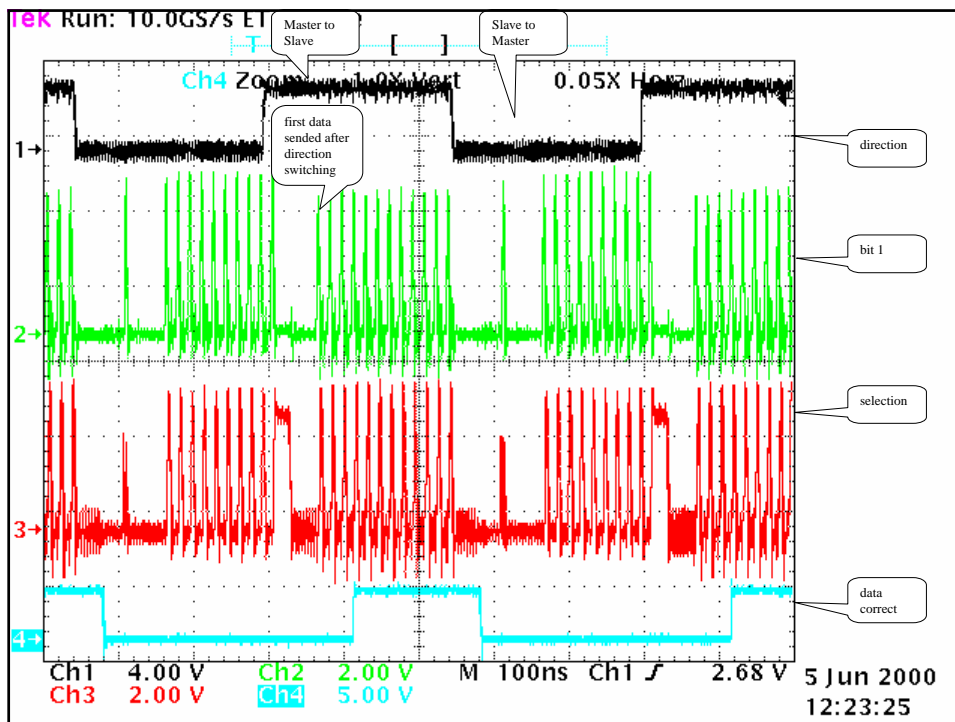


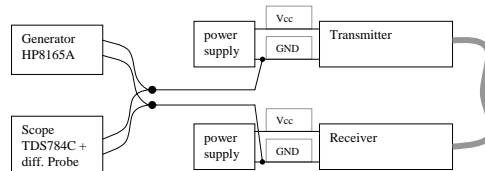
Abb. 5 format of data for long time transfer

15



Störfestigkeit, Messungen auf Polyluxfolie Nr. 5

- Masseebene Transmitter getrennt von Masseebene Receiver
 - Schirm des Kabels und der Stecker nicht angeschlossen
 - Signalpattern mit 250 Mbit/s übertragen und überprüft
 - Störspannung: sinusförmig, zwischen Transmitter- und Receiver-Masse
 - eigentliche Ursache des Bitfehlers kann nicht ermittelt werden.
- max Störspannung an
- | | |
|----------------|----------------------|
| dc-coup. line: | 3,6 Vpp @ 0...1 MHz |
| | 1,8 Vpp @ 1...50 MHz |
| ac-coup. line: | ca 5 Vpp |



17

Abb. 8 Meßaufbau zur Untersuchung der Störfestigkeit

Schlußfolgerungen für die Konstruktion eines Custom Link

große Störfestigkeit -> möglicherweise nur DC-Kopplung

Vorteile:

- keine dc-balanced Kodierung (spart 20% Übertragungsbandbreite)
- entweder Bitrate auf 200 Mbit/s verringern
oder nur 18 (statt 22) LDVS Leitungspaare verwenden,
- weniger diskrete Bauelemente
- keine Einlaufzeit beim Einschalten
- kein Aufwand um eine Verschiebung des Arbeitspunktes zu verhindern wenn keine Daten übertragen werden

Synchronisierung und Arbitrierung entsprechend Zielsystem zu realisieren

Kabel: konfektioniert, 36 oder 50 polig, mit MDR Steckern erhältlich

-> ökonomische Realisierung eines Custom Link möglich

18

Zusammenfassung

Testboard mit im Frühjahr 1999 verfügbaren Bauelementen

Untersuchungen mit LVDS Signalen im Bereich von 250 MHz

Demonstration der Funktionen eines "bidirektionalen Custom Link mit moderater Bitrate"

Ergebnisse :

- Die Fehlerrate der Übertragung ist hinreichend klein: $< 7,6 * 10^{-16}$ Fehler / bit
- Die Richtungsumschaltung wurde demonstriert. Die Umschaltzeit beträgt hier 120 ns.
- Störspannungen zwischen den Stationen werden bis 3,6 V toleriert.

Das Testboard hat im Wesentlichen seine erwarteten Parameter erfüllt. Die Ergebnisse zeigen, daß eine Weiterentwicklung lohnenswert ist. Dafür sind dann weitergehende Messungen notwendig.

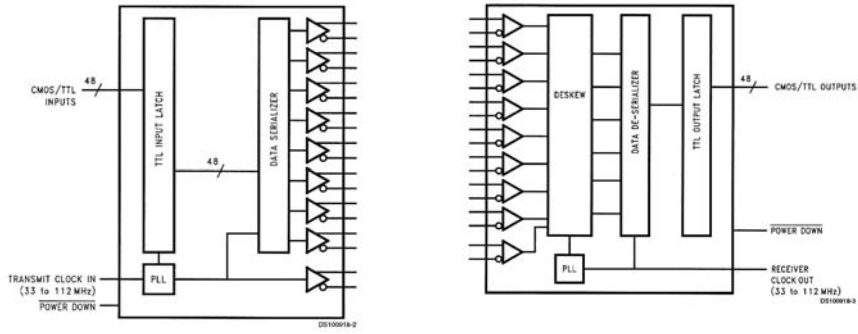
19

Es ist möglich, ein Link mit folgenden Eckdaten zu realisieren:

Technologie:	LVDS Pegel auf Kupferleitungen
Topologie:	Punkt zu Punkt, bidirektional
Datenrate:	400 MByte/s effektiv für den Nutzer
Richtungsumschaltung:	< 120 ns
Übertragungsmedium:	PCB : Entfernung = 5...100 cm Kabel: Entfernung = 2 m
Anzahl der Leitungen:	22 Paare bzw. 18 Paare (abhängig von Störfestigkeit)
Integrierbarkeit auf Custom-Chip:	einfach
Flexibilität der Konfiguration:	
	Datendurchsatz = Bitrate * Anzahl d. Leitungen

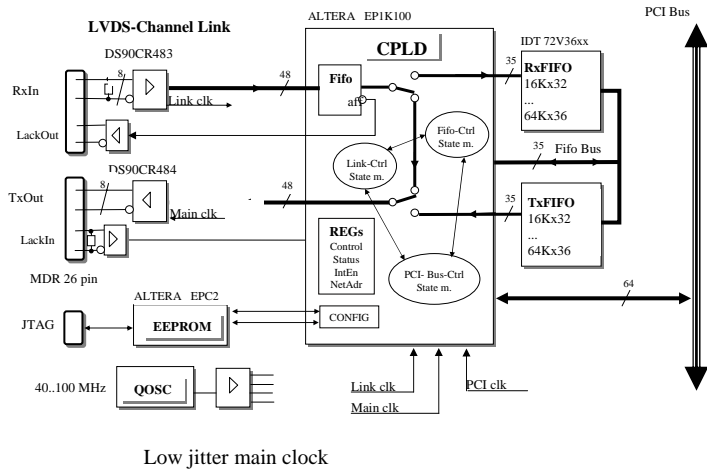
20

Channel Link Technology



21

Flink-2 Block Schema



22

Flink-2 Block Schema

Main Features

- up to 600 MBytes/s link speed (100 Mhz Main clk, 48 Bit channel link interface)
- concurrent ring protocol
- pass through latency ~ 100 ns
- 32 / 64 bit Master / Target PCI businterface, PCI core by PLDA
- new simplified software protocol
- intelligent hardware initiated DMA / memory buffer handling
- use of standard high speed cable (3M, 1Gbps), ...10m length
- software compatibility to FLink possible by AMCC-S5933 (PCI controller) emulation

23

Flink-2 PCB

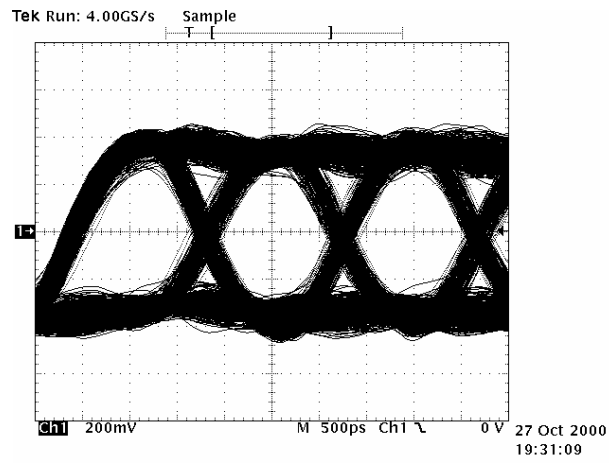


8 layer PCB, partial High Pad

24

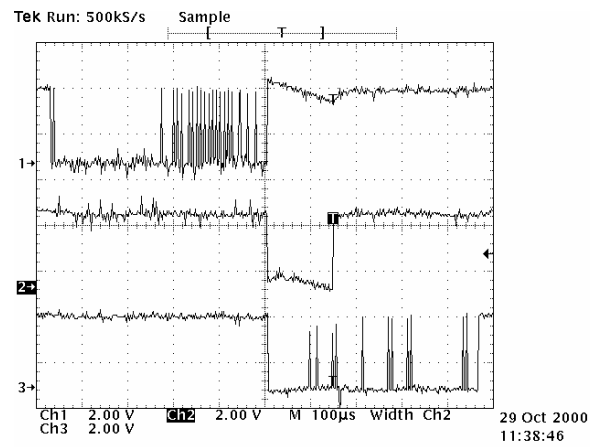
FLink-2 Test Results

Eye Diagram



25

Loop back transfer of 56 KByte, 32 bit channel link interface, 100 MHz



26

Conclusions

- PLDA PCI core easy to implement
- AMCC PCI controller emulation to run older tests
- Channel Link successfully tested under real conditions:
 - 2m cable PC-PC connection
 - 100 Mhz (400 MBytes/s), external FIFO's
 - DMA + noise causing data pattern
 - random packet length = 4 Byte...56 KByte
- 106 MHz (only one oscillator available) loop back, no errors
- no problems with 484 pins FBGA soldering (3 boards are running)
- Pass Through latency ~ 100 ns

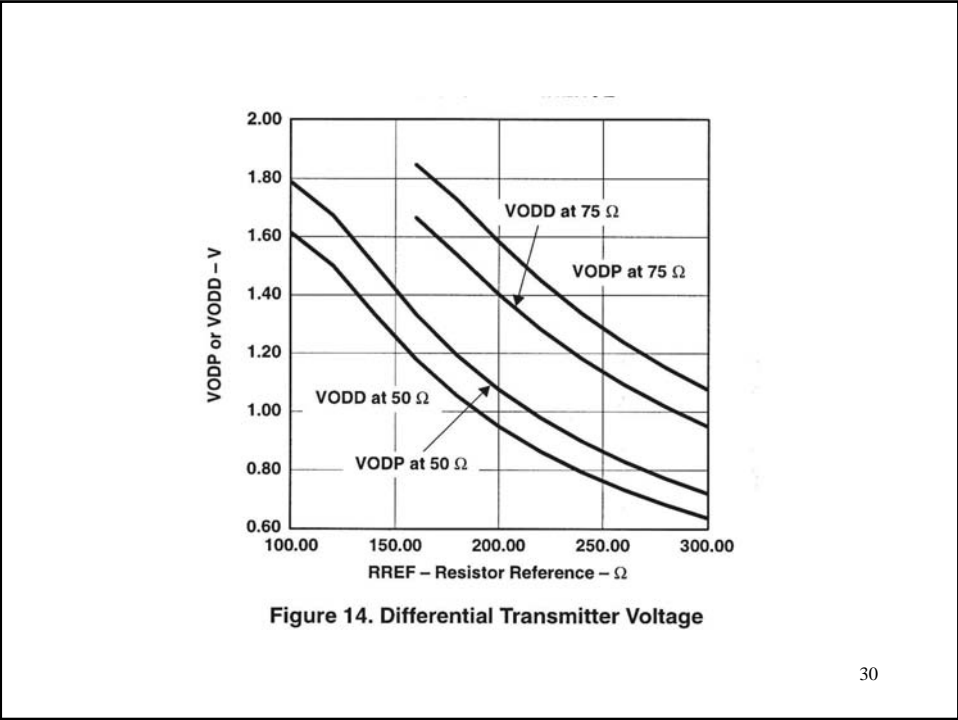
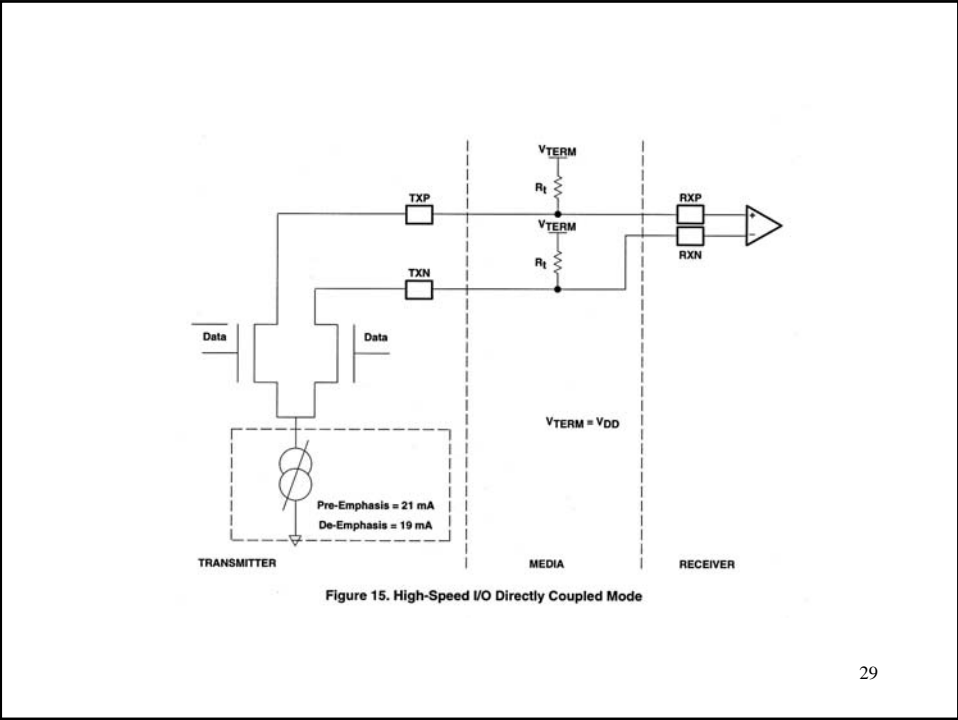
27

Current Mode Link Technology

Main Features

- Designed for Gigabit Ethernet and for Video data transfer applications based on cheap, i.e. copper, single TP cables
- 50 Ohm or 75 Ohm terminated transmission systems
- enhanced PECL technology (Current Mode Logic - **CML**)
- point to point connection, bidirectional

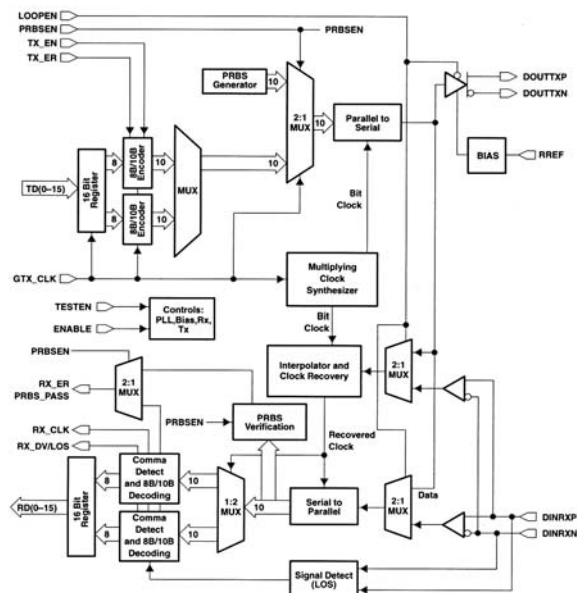
28



- up to 2,5 GBit/s data rate over single twisted pair copper cable
- up to 250 MBytes/s user data rate at parallel interface per channel (125 Mhz I/O rate, 16 Bit parallel user data)
- two fully independent channels (1x Tx-channel, 1x Rx-channel) are incorporated into one chip
- Tx and Rx channels run in parallel, providing a data rate of up to 500 Mbyte/s over a cable consisting of 2 twisted pairs
- 32 bit Target PCI bus interface, based on AMCC S5933 PCI controller
- use of standard high speed cable from Gore, 5m length
- very low power dissipation (350 mW) of the TLK2500

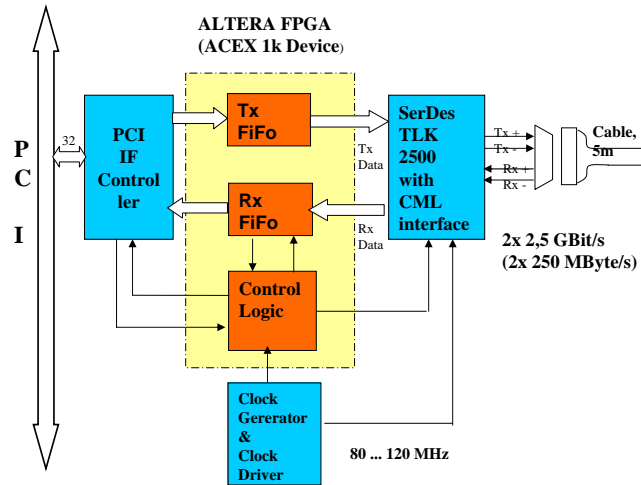
31

SerDes TLK2500 Overview



32

CML-Testboard: Block diagram



33

CML Testboard



6 layer PCB, full High Pad

34

First Test Results

Actual Results

- 120 MHz data I/O-rate (16 bit user data), which corresponds to 2,4 GBit/s on the serial line, in loop back mode
- 100 MHz data I/O-rate, which corresponds to 2,0 GBit/s, over a 10m twisted pair cable (5m cable with a jumper at the end that shorts the Tx-channel with the Rx-channel)

Next steps:

- connecting 2 computers together by means of 2 test boards over a 5m cable and sending / receiving data in parallel
- implementing DMA mode on the test boards
- performing long term testing to measure error rates
- test of alternate solutions for cables/connectors

35