

PRO/A

**Ein neuer ASIC zur Auslese
von
Halbleiter-Pad-Detektoren**

(H1-Gruppe, DESY Zeuthen)

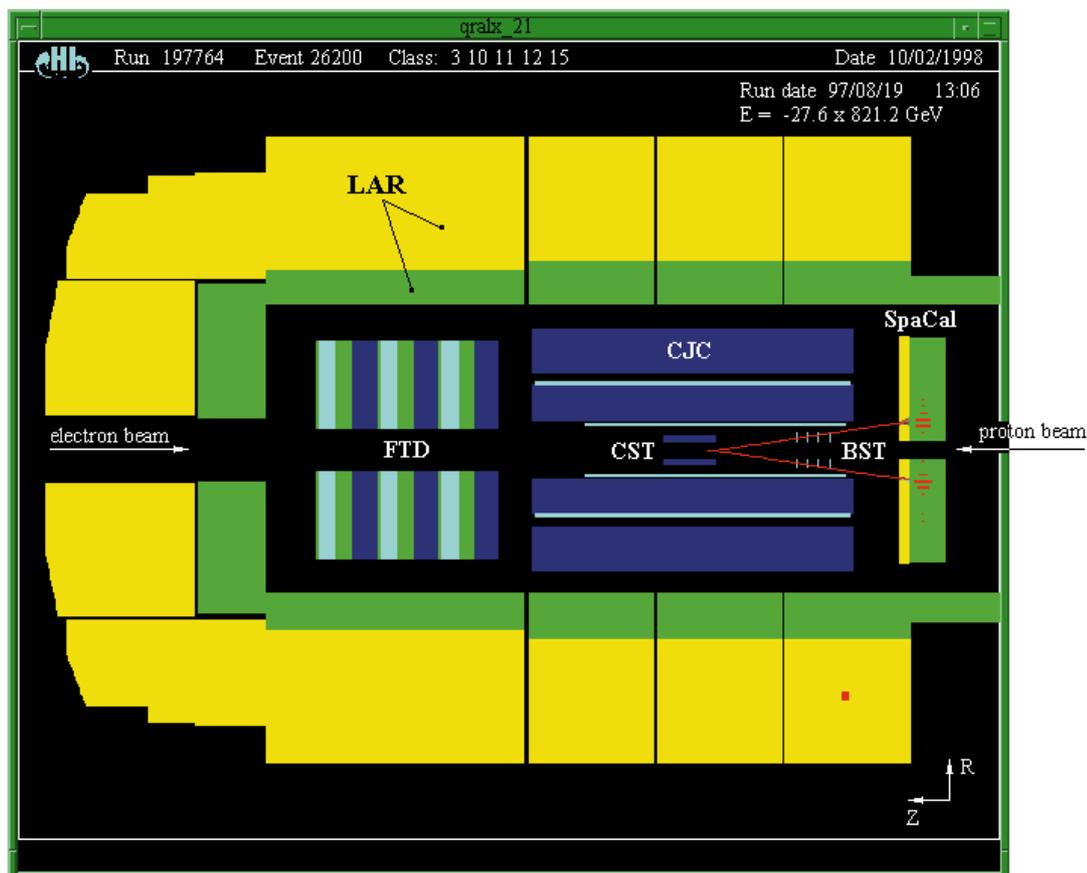
PRO/A

- Ein neuer ASIC zur Auslese von Halbleiter-Pad-Detektoren

(H1-Gruppe, DESY Zeuthen)

- 1 Motivation und Planung
- 2 Die Entwicklung des Chips
 - 2.1 Spezifikationen
 - 2.2 Realisierungsvarianten
 - 2.3 Chipentwurf
- 3 Test und Inbetriebnahme
 - 3.1 Prüfung der spezifizierten Parameter
 - 3.2 Prototyp-Hybrid
- 4 Messungen im Teststrahl am DESY Hamburg
 - 4.1 Messungen am Analogteil des Chips
 - 4.2 Messungen am Digitalteil des Chips
- 5 Zusammenfassung, Perspektiven

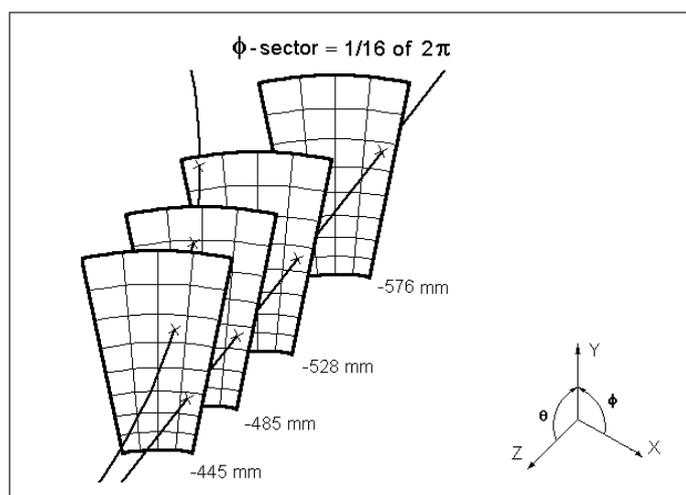
1 Motivation und Planung



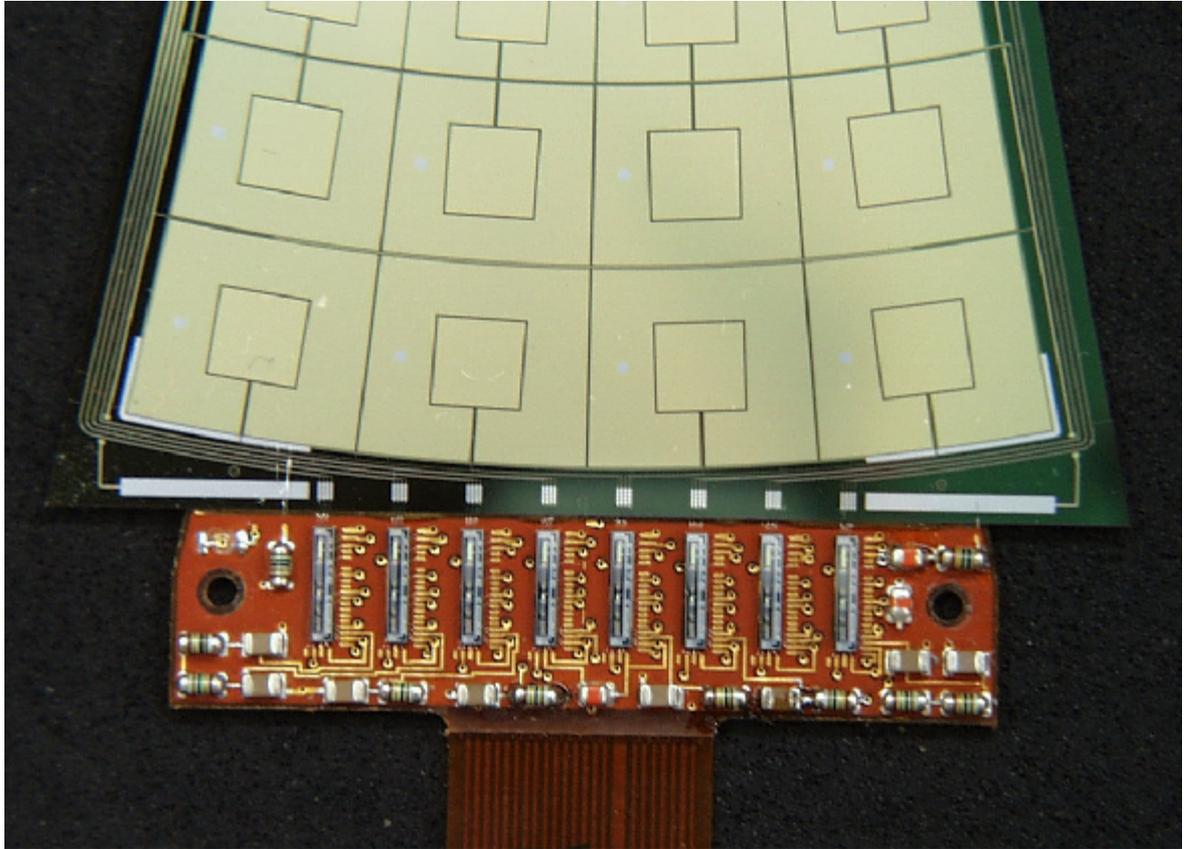
- Triggern auf Ereignisse, deren Spuren ihren Ursprung im Vertex (Wechselwirkungspunkt) haben;
- Unterdrücken der Aufzeichnung von Ereignissen, deren Spuren z.B. parallel zum Strahlrohr verlaufen (Untergrund) oder deren Ursprung nicht im Wechselwirkungspunkt liegt;

- **Triggerkonzept:**

- pro Sensor 32 pads
- 16 (12) Sensoren / Rad
- 4 Ebenen mit Pad-Detektoren



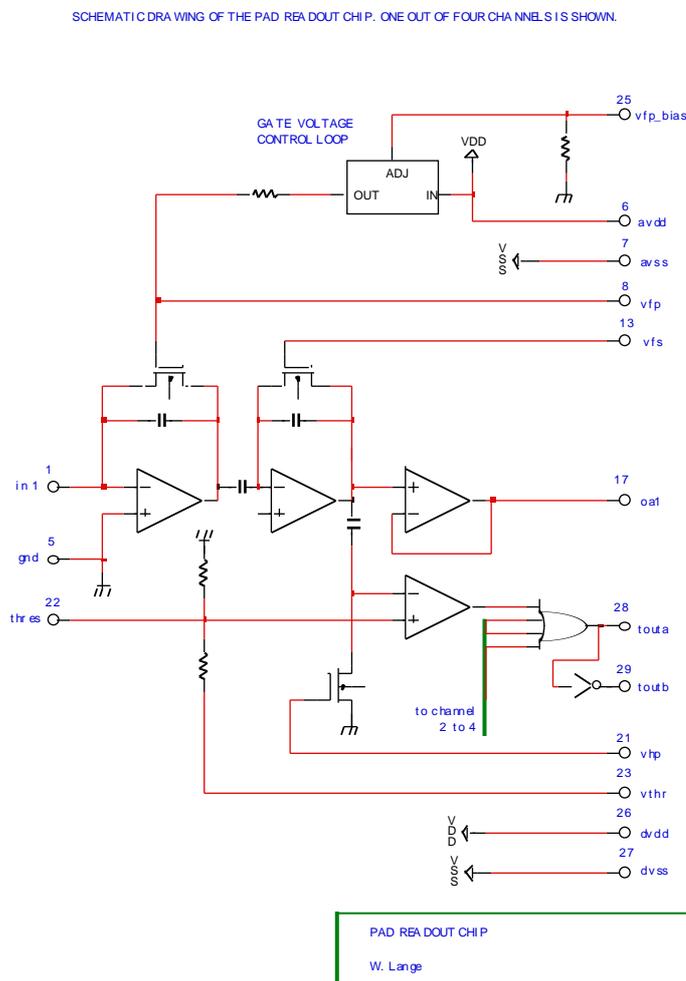
- Inbetriebnahme des Pad-Detektors mit Detektormodulen, die mit jeweils 8 ASICs des bestückt waren:



- mit diesen Detektormodulen kleine Trigger-Effektivität
- Untersuchungen im Testbeam (5 GeV Elektronen), da sich die Ursachen im Labor und bei den im H1-Detektor eingebauten Modulen messtechnisch nicht finden ließen.

Zeuthen, 29. Mai 00

- Schematische Darstellung der Funktion des PRO-Chips:



- Preamplifier
- Shaper
- Hochpass
- Discriminator
- ODER aus 4 Kanälen
- Versorgungsschaltungen

- Untersuchungen im Testbeam (5 GeV Elektronen) im DESY zeigten, dass der verwendete Readout-Chip ("PRO")

- eine zu geringe Verstärkung,
- einen instabilen Shaper (schwingt unter vielen Bedingungen),
- eine mangelhafte Entkopplung zwischen Analog- und Digitalteil,
- keine Gleichtaktunterdrückung an den Eingängen aufweist.

- Entscheidung, die Probleme mit einer Überarbeitung des Readout-Chips zu lösen (PRO --> PRO/A).

2 Die Entwicklung des Chips "PRO/A"

2.1 Spezifikationen

max. tolerable input DC bias:	500 nA
typical input charge:	$\pm 4\text{fC}$
Input Common Mode:	up to $\pm 4\text{fC}$
sensitivity (also depends on discriminator!):	$\geq 25\text{mV/fC}$
noise performance @ 40 pF load:	$\leq 1500 \text{ e}^-$ (0.25 fC)
stable @ capacitive loads up to	70pF
shaping time:	$\sim 40 \text{ ns}$ (@ charge collection time of $\sim 20 \text{ ns}$)
event frequency:	$< 10\text{MHz}$
output:	open drain or TTL compatible
supply voltage:	$\pm 2\text{V}$ (analog) and $+5\text{V}$ (digital) or - preferably - single 3.3V [5V]
power dissipation:	$\leq 25\text{mW}$ / channel; as low as possible
Ambient Temperature:	0...70°C

- geplante Verbesserungen gegenüber dem PRO-Chip:
 - Möglichkeit der Subtraktion benachbarter Kanäle zur Common-Mode-Unterdrückung;
 - höhere Eingangsempfindlichkeit;
 - stabiler Shaper (keine Schwingneigung über einen weiten Betriebsbereich);
 - keine störende Rückwirkung vom (schaltenden) Diskriminator auf den Eingang.
- Funktionsmuster mit PRO-Chip, AD 830 und MAX 908 realisiert;
- Funktionsmuster im Testbeam (s.o.) getestet und akzeptiert.

Zeuthen, 29. Mai 00

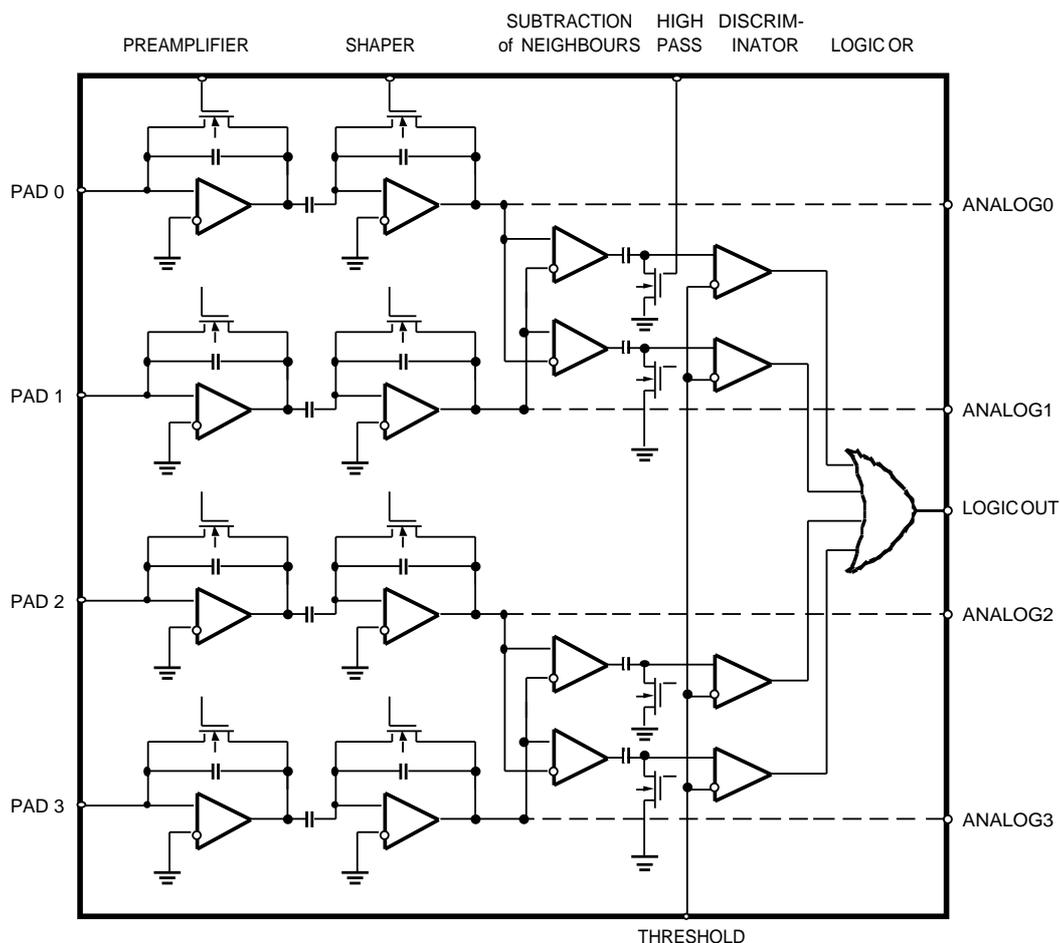
2 Die Entwicklung des Chips "PRO/A"

2.2 Realisierungsvarianten

- ausgehend vom Funktionsmuster mit PRO-Chip, AD 830 und MAX 908 eine Lösung, die auf der existierenden Hardware aufbaut und nur eine externe Baugruppe hinzufügt;

Vorteil: geringerer Aufwand, geringere Kosten (ca. 70% der anderen Variante)

Nachteil: erheblicher Platzbedarf, Realisierung mit Standardbauteilen deshalb nicht möglich; ASIC-Entwicklung erforderlich;



**4-Channel Preamp/Shaper/Discriminator Chip
with subtraction of neighbours and high pass.**

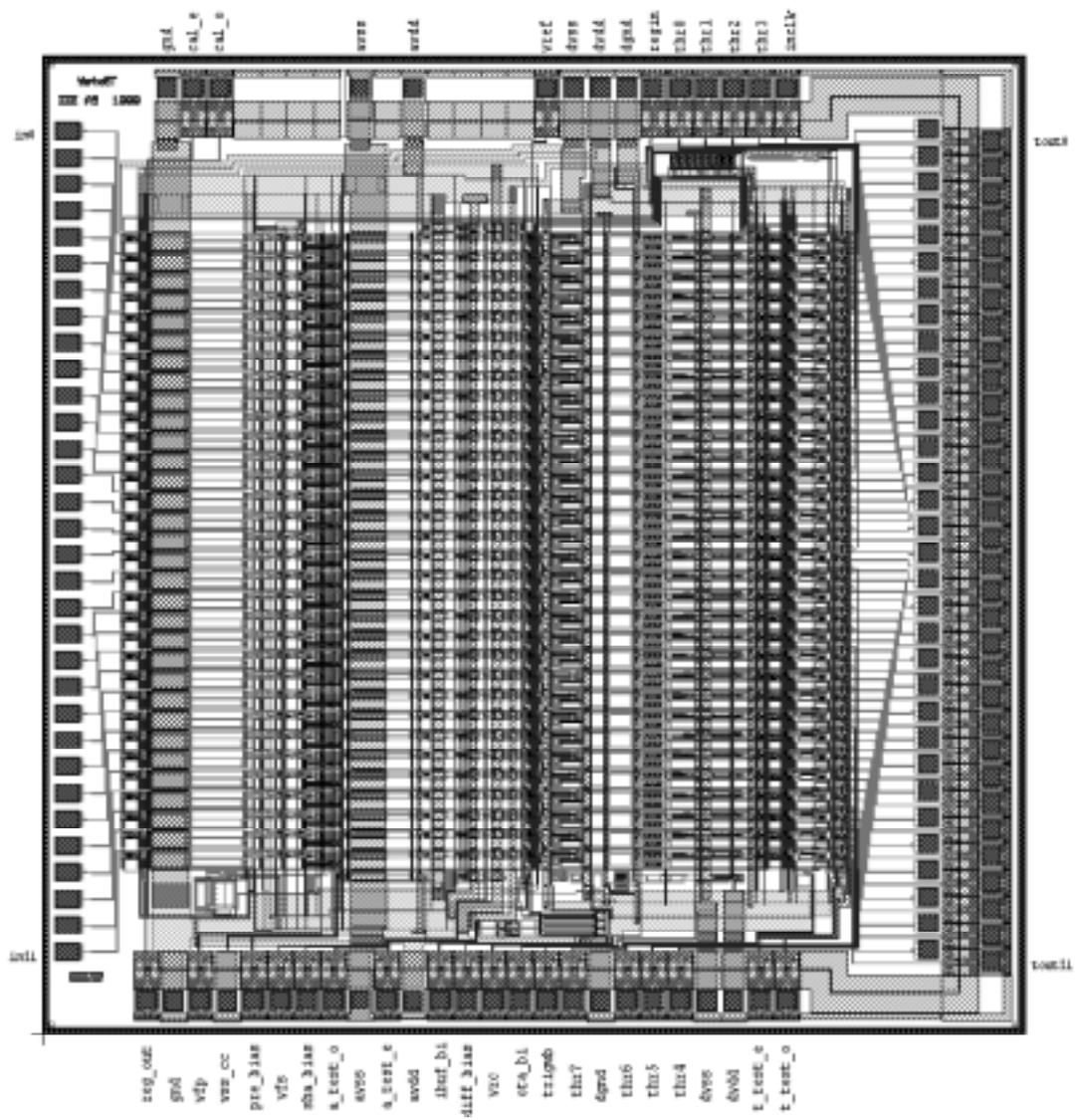
- **Alternative:** Redesign des PRO-Chips mit Einarbeitung aller Änderungen und Erweiterungen --> **bessere Lösung**

2 Die Entwicklung des Chips "PRO/A"

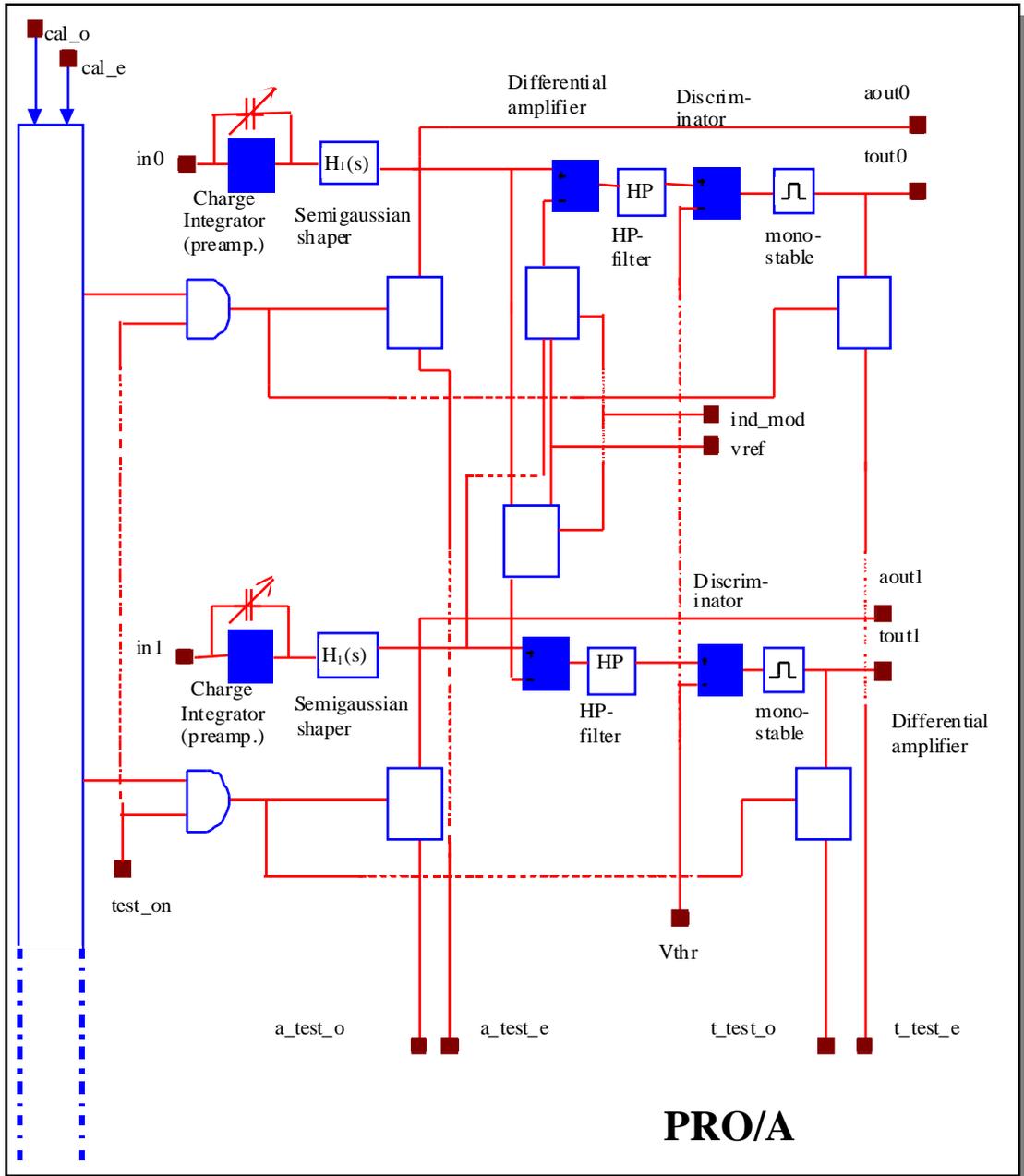
2.3 Chipentwurf

Etappen:

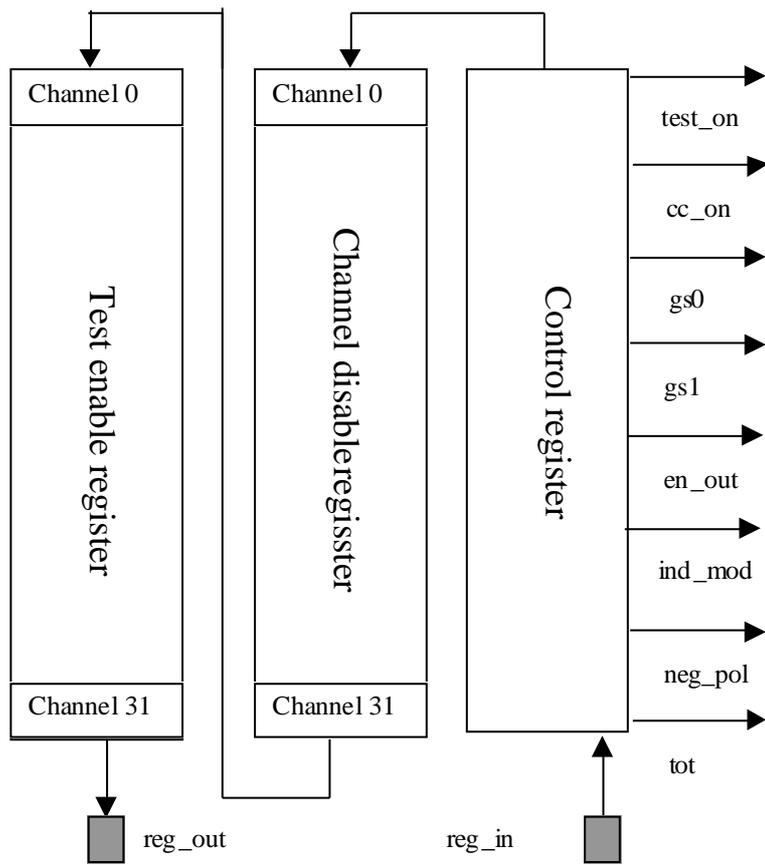
- **Frühjahr 1999**: Anfrage verschiedener Firmen, um den ASIC-Entwurf als Dienstleistung entsprechend unseren Spezifikationen und nach unserer Regie durchführen zu lassen; dabei wurden beide Realisierungsvarianten jeweils angefragt und verglichen;
- Auswahl der Firma "Integrated Detector and Electronics AS", Oslo;
- **Mai 1999**: Vereinbarung des Ablaufs und des Zeitplanes für den geplanten ASIC-Entwurf mit der Firma;
- **Mai 1999**: bei dem "Design-Meeting" (DESY Zeuthen: HH, WL und IDEAS) werden sowohl die Spezifikationen als auch die Funktionalität des Chips festgeschrieben; ein Blockschaltbild und etliche Detailschaltbilder werden erarbeitet, nach denen zwei ASIC-Design-Ingenieure in den folgenden Wochen den Chip entwerfen ("layout");
- **Juni 1999**: nach der Fertigstellung des Entwurfs Prüfung in Zeuthen, anschließend Meeting (WL und IDEAS) zur Verifikation des Entwurfs; ausführliche Simulation der einzelnen Baugruppen; geringfügige Korrekturen des Entwurfs; Grenzwert-Tests; Erarbeitung der Dokumentation; erneute Prüfung in Zeuthen, danach Fertigungsfreigabe;
- **Juli / August 1999**: Chipfertigung (etwa 10 Wochen) bei "Austria Mikro-Systeme" (AMS) in voller Stückzahl; parallel dazu Aufbau von Prüf- und Testmöglichkeiten (Probe-Card, Test-Boards, LabView);
- **Oktober 1999**: Inbetriebnahme des ersten Chips (in einen Chip-Carrier montiert), Beginn der gemeinsamen Messungen (DESY Zeuthen: IT, WL und IDEAS); Test der gesamten Funktionalität; Definition der Chipmessungen mit der Probe-Card auf Wafer-Niveau; Definition der Akzeptanzkriterien;
- **November 1999**: Messung der Chips in Oslo bei IDEAS;
- **Dezember 1999**: Lieferung der gemessenen und klassifizierten Chips nach Zeuthen



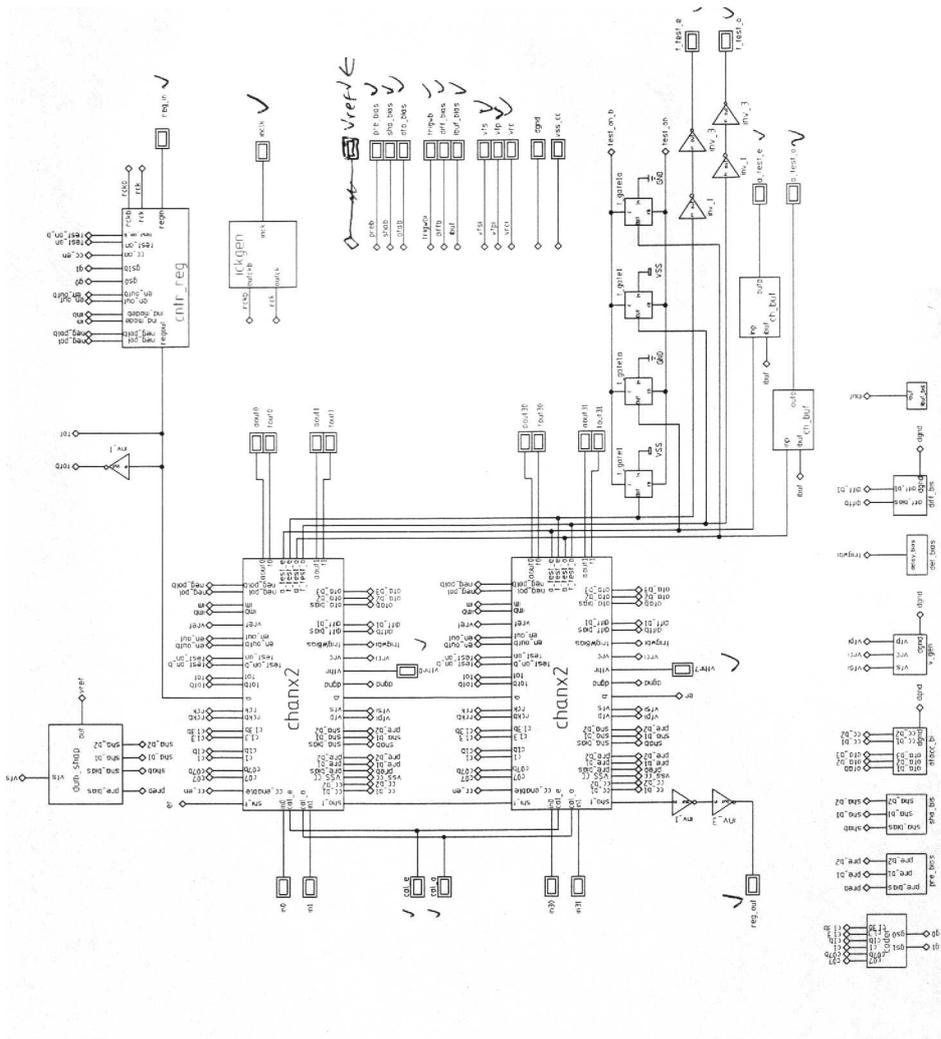
Draufsicht des Chips PRO/A

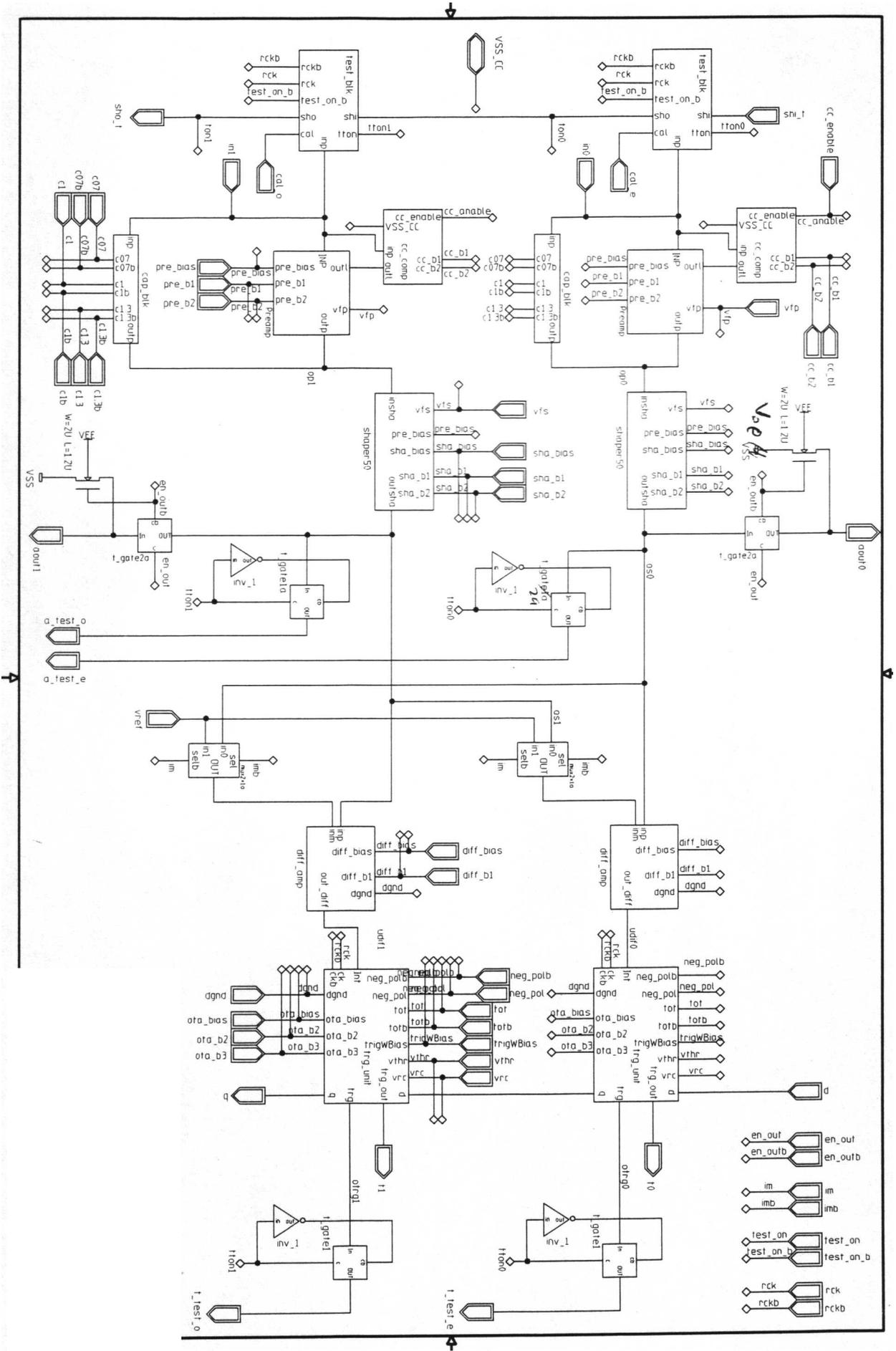


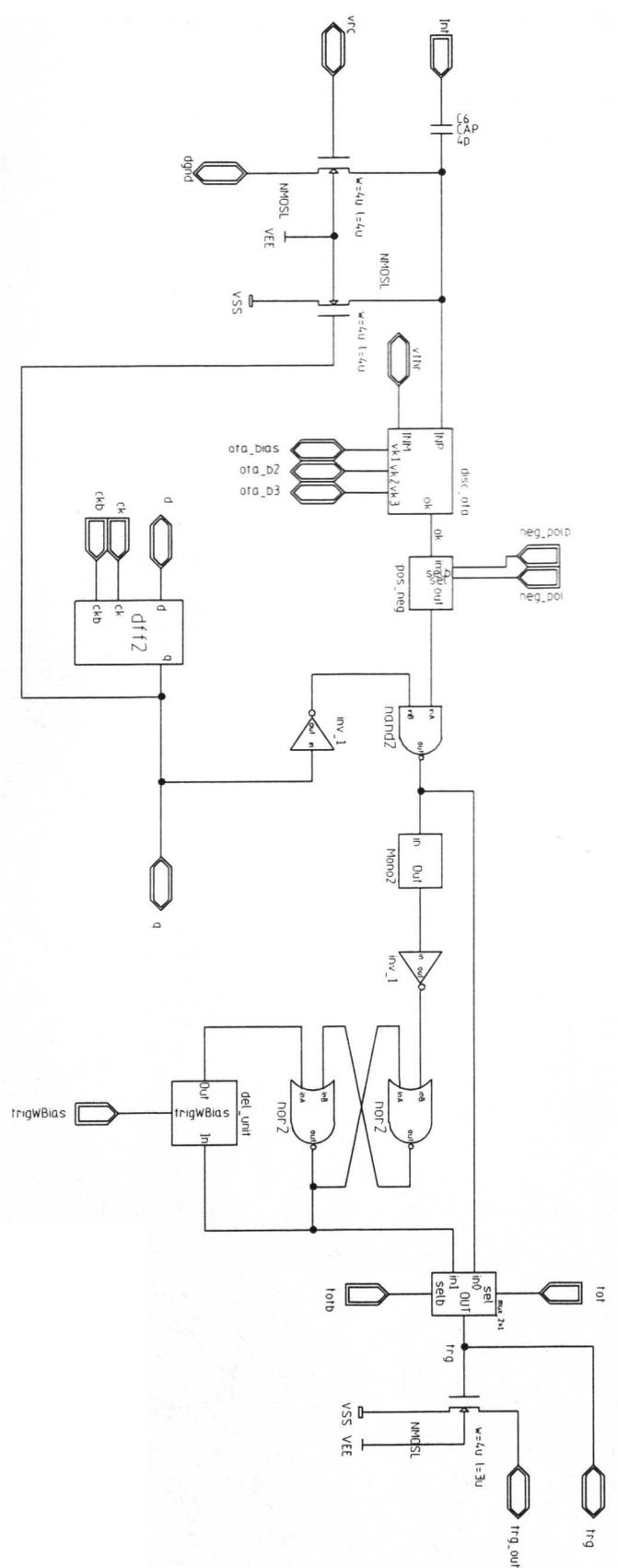
Blockschaltbild des ASICs

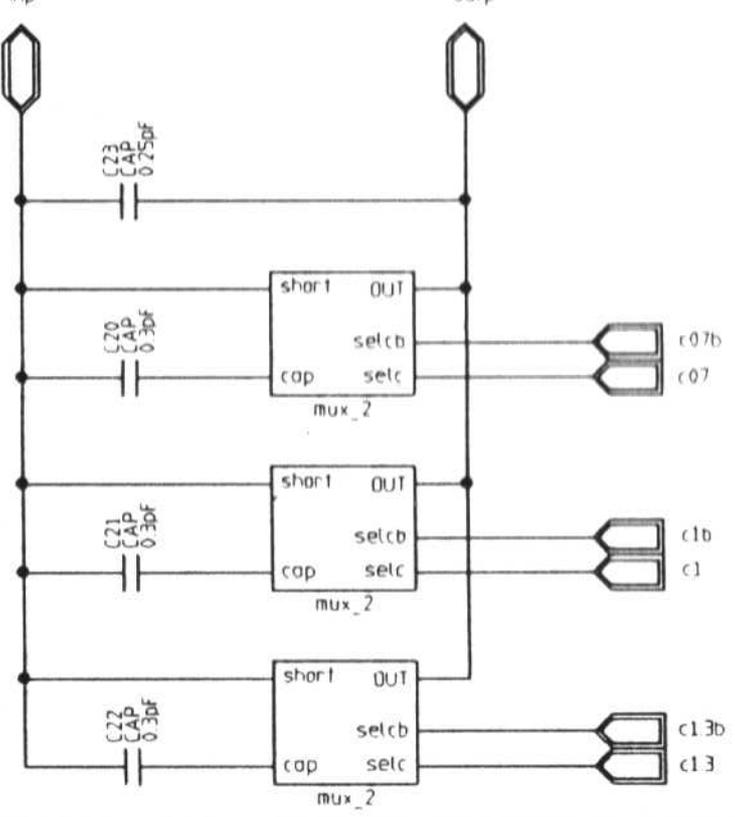
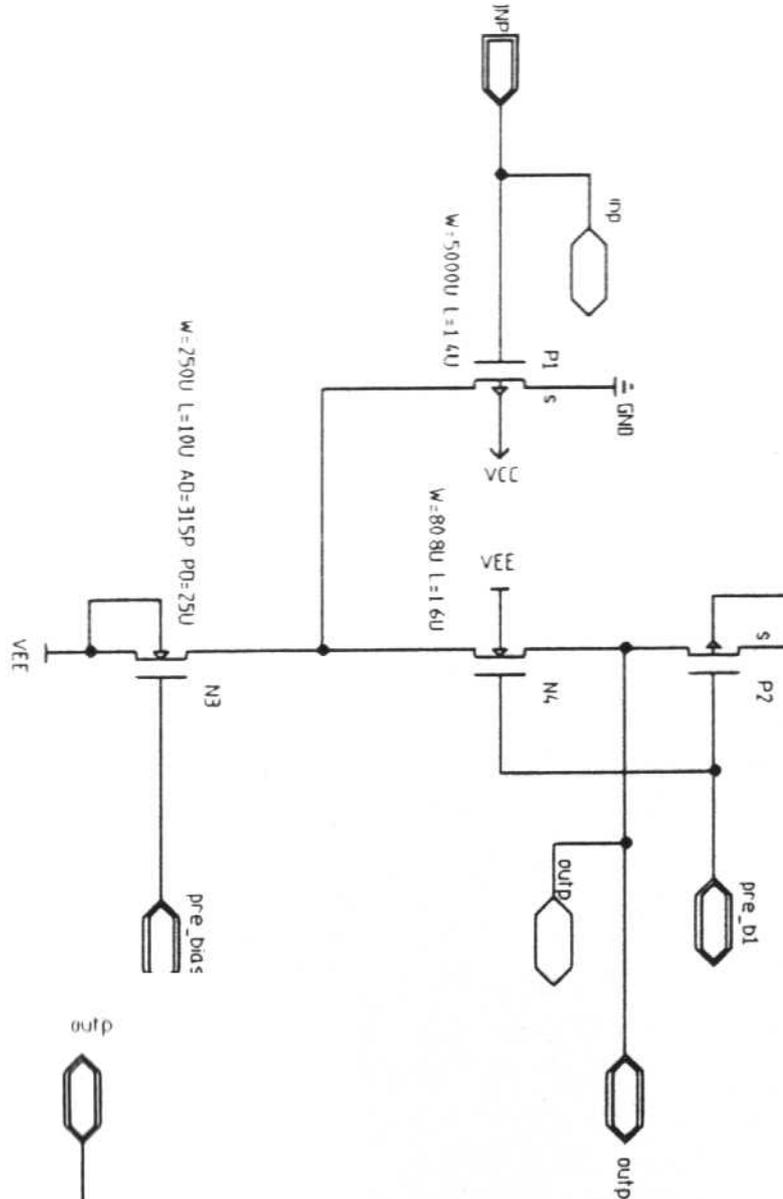
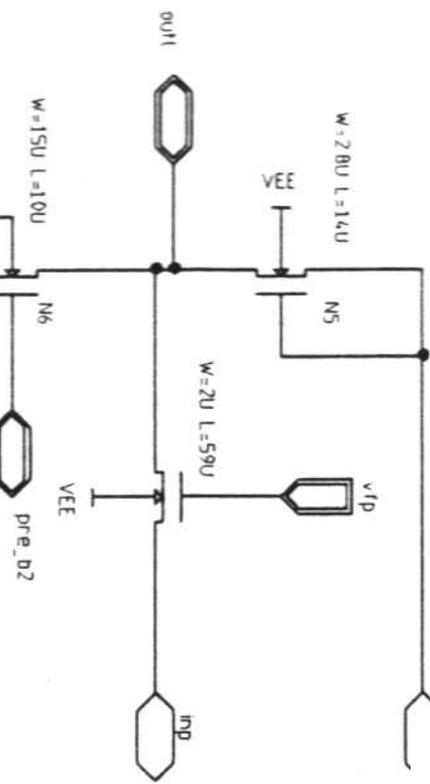


Verschaltung der Schieberegister









Zeuthen, 29. Mai 00

3 Test und Inbetriebnahme**3.1 Prüfung der spezifizierten Parameter**

- Montage des Chips in ein Gehäuse (Chip Carrier) und Messen aller wesentlichen Betriebsparameter:

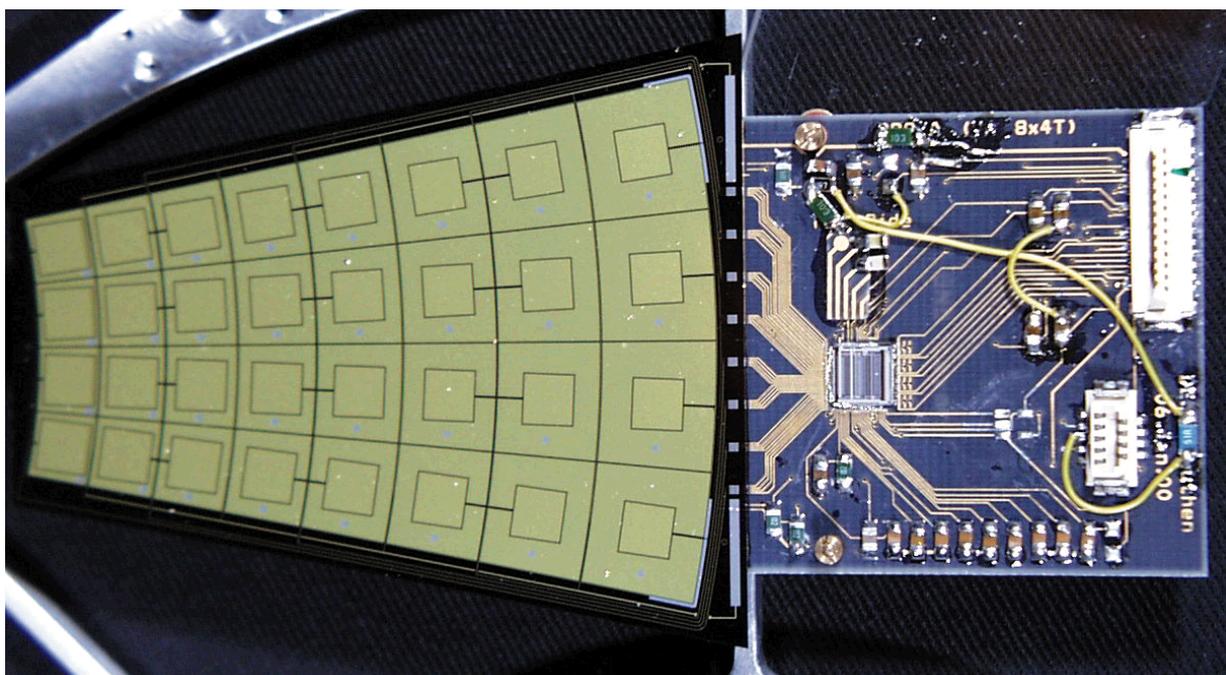
Parameter	Measured value	Status
Pre_bias 500 uA	-0.35V (462 uA)	OK
Sha_bias 140 uA	-0.30V (125 uA)	OK
Ota_bias 50 uA	-0.93V (77 uA)	OK
Diff_bias 100 uA	-0.83V (83 uA)	OK
Ibuf_bias 400 uA	0.63V (394 uA)	OK
TrigW_bias 20 uA	0.27V (17 uA)	OK
Vrc 1.4V	1.41V	OK
Vfp -0.3V	-0.29V	OK
Vfs 0.6V	0.64V	OK
Max. tolerable DC current up to 50 nA.	More than 500	OK
Typical input range +/- 4fC	(1...100)fC or (2.5...100)fC @ 40 pF for 100 % trigger efficiency	OK
Input common mode up to +/-4fC	CMRR = 10 for 100 % trigger efficiency	OK
Sensitivity 25mV/fC at the input of discr.	18, 22, 26, 35 mV/fC 15, 18, 22, 29 mV/fC @40pF	
Noise performance 1 sigma : (Cf=0.3pF)	0.091fC (570e) 0.174fC (1090e) @ 40pF	OK
Inter-channel cross-talk (Cf=0.3pF)	-42 dB	OK
Stable at capacitive load up to 70pF	Stable up to 500pF	OK
Shaping time ~50ns	Rise time 65ns, time constant 30ns	OK
Event frequency up to 5 MHz	5 MHz	OK
Open drain output for trigger signal	200 uA	OK
Power dissipation less than 5 mW/channel	3.4 mW/channel	OK
Ambient temperature (0...70)C degrees	Tested in the range (20...70)C deg.	OK

- Alle relevanten Parameter wurden erreicht.

3 Test und Inbetriebnahme

3.2 Prototyp-Hybrid

- Test der Funktion des Chips mit dem Halbleitersensor ("Pad-Detektor) mit einem speziellen Prototyp-Hybrid (Multilayer-Leiterplatte);
- umfangreiche Messpunkte und Konfigurationen vorgesehen;

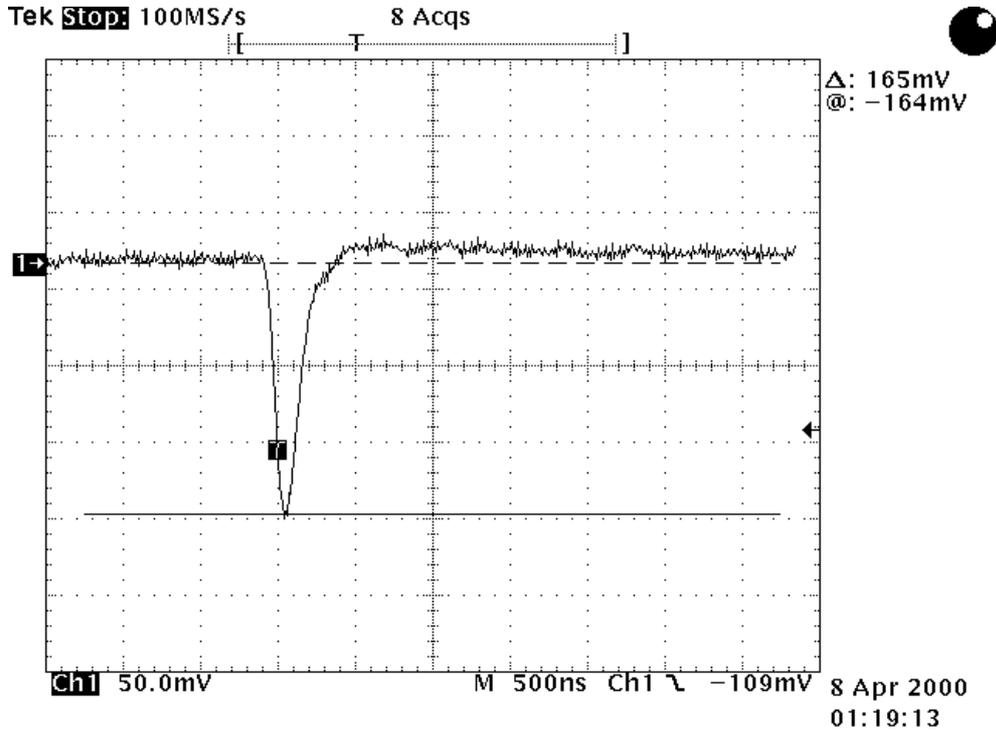


- Möglichkeit der Registrierung des Analsignals;
- definierte Einkopplung einer Ladung am Eingang;
- Untersuchung in einem Teststrahl (5 GeV Elektronen) am DESY HH

4 Messungen am Teststrahl am DESY Hamburg

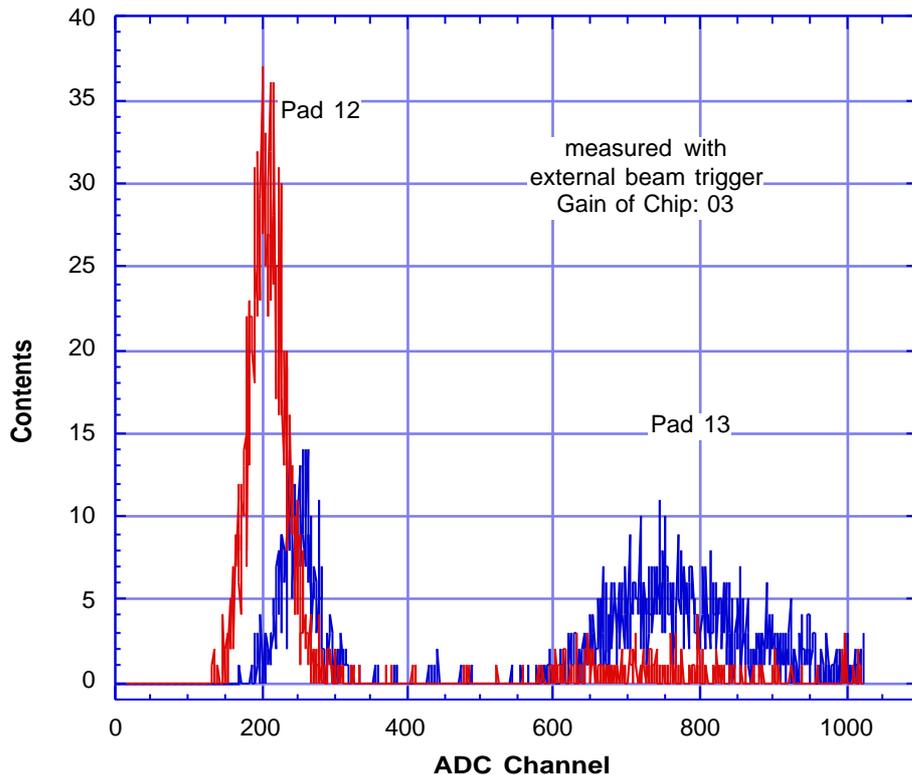
4.1 Messungen am Analogteil des Chips

- Spektrometrierung des analogen Ausgangssignals:



Ausgangsimpuls am Analogausgang des Chips
(ca. 30 000 e^- Eingangssignal)

5GeV_beam-tr_pad13/12_03.dat



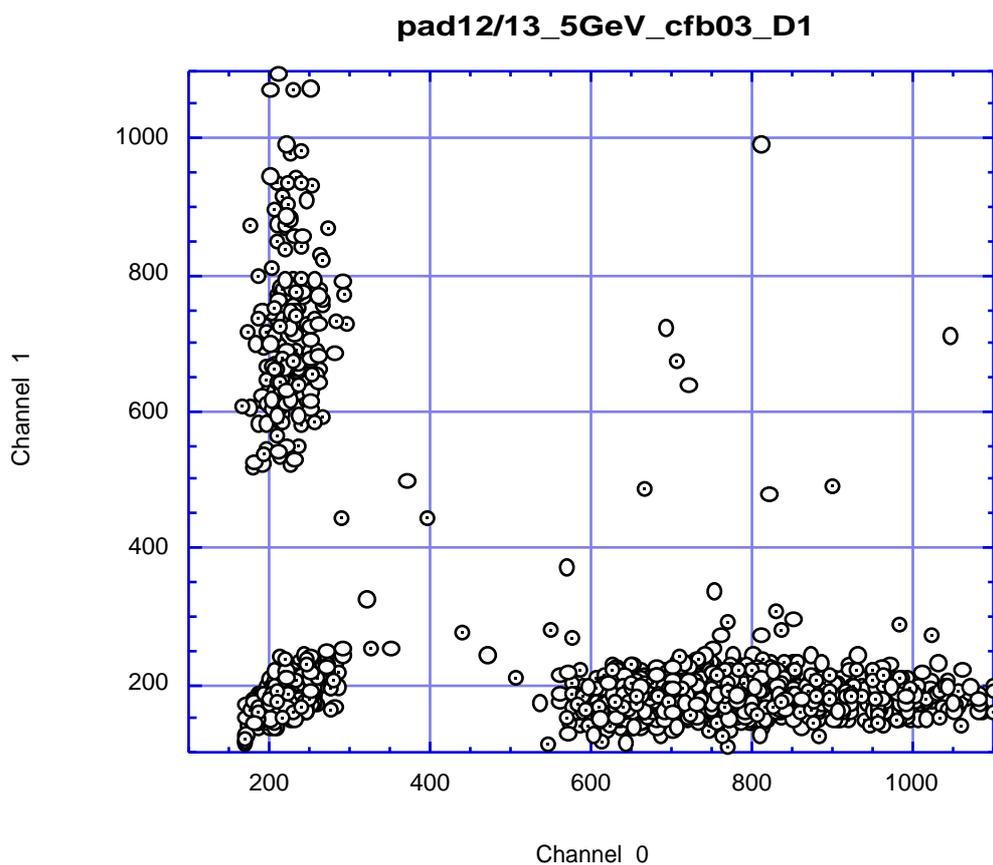
Messung von zwei benachbarten Pads des Sensors. Das Elektron trifft entweder das eine oder das andere Pad. Siehe auch Scatterplot.

Zeuthen, 29. Mai 00

4 Messungen am Teststrahl am DESY Hamburg

4.1 Messungen am Analogteil des Chips

- Scatterplott für benachbarte Kanäle:



- (D1-60 & D2-60) definieren die Spur. D3 wird analog ausgelesen.

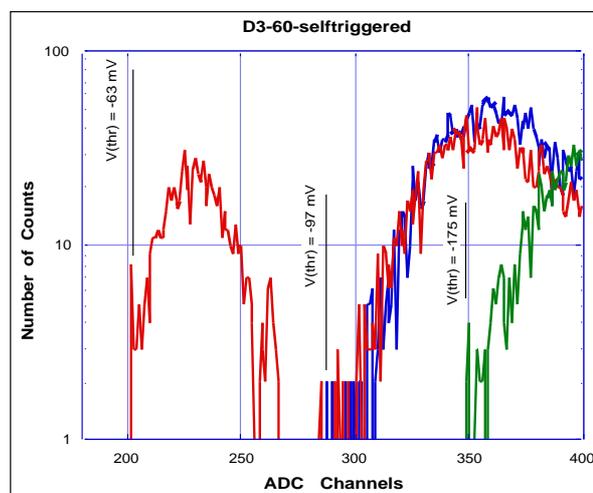
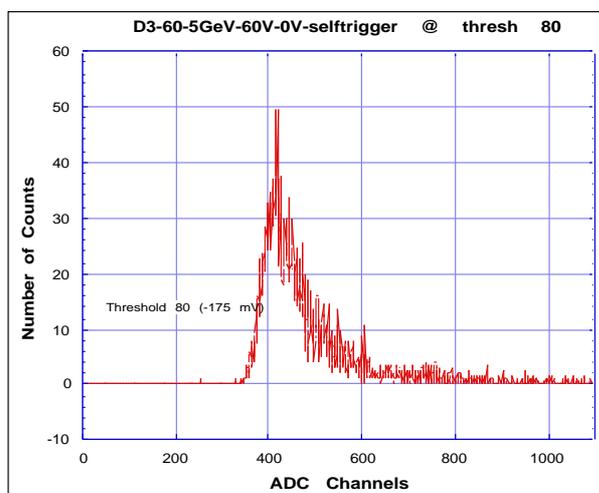
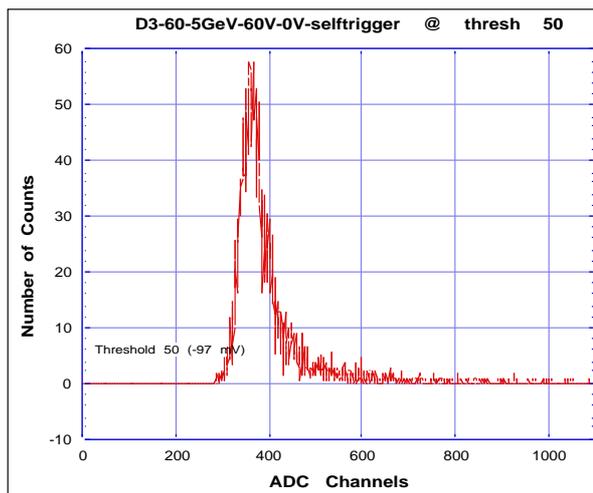
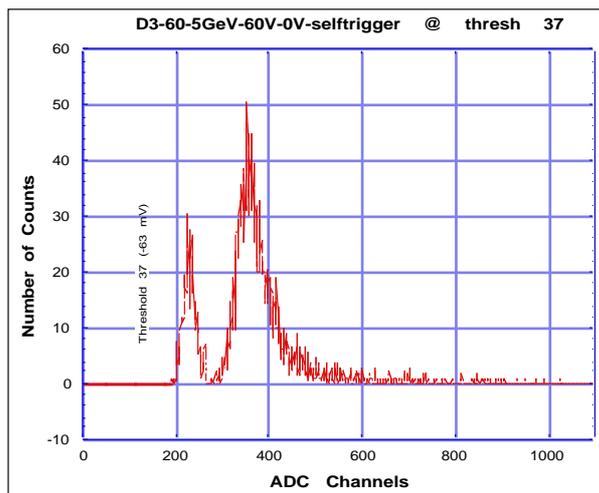
Depl.-V [V]	Gate V [V]	MPV[ADC-Chs]	PED	Noise	<S>-<PED>	S/N	Remarks
30	0	347	222.1	13	124.9	9.61	4000
40	0	370	222.3	11.9	147.7	12.41	4000
50	0	375	221	11.3	154	13.63	4000
60	0	380	221.1	11.7	158.9	13.58	4000
70	0	375	221.4	12.1	153.6	12.69	4000
80	0	384	221	11.9	163	13.70	4000
90	0	375	221	11.8	154	13.05	4000

Zeuthen, 29. Mai 00

4 Messungen am Teststrahl am DESY Hamburg

4.1 Messungen am Analogteil des Chips

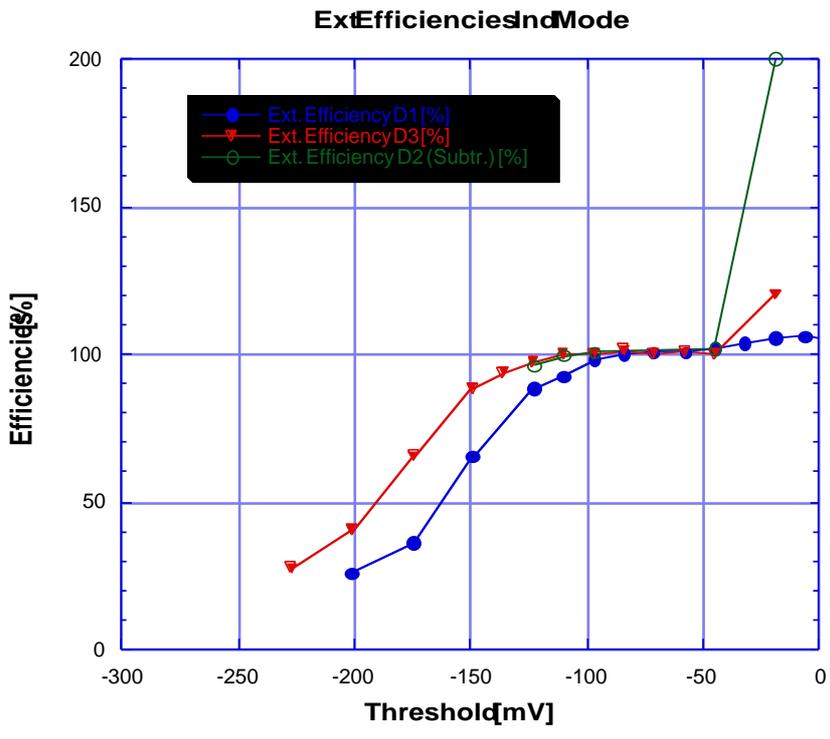
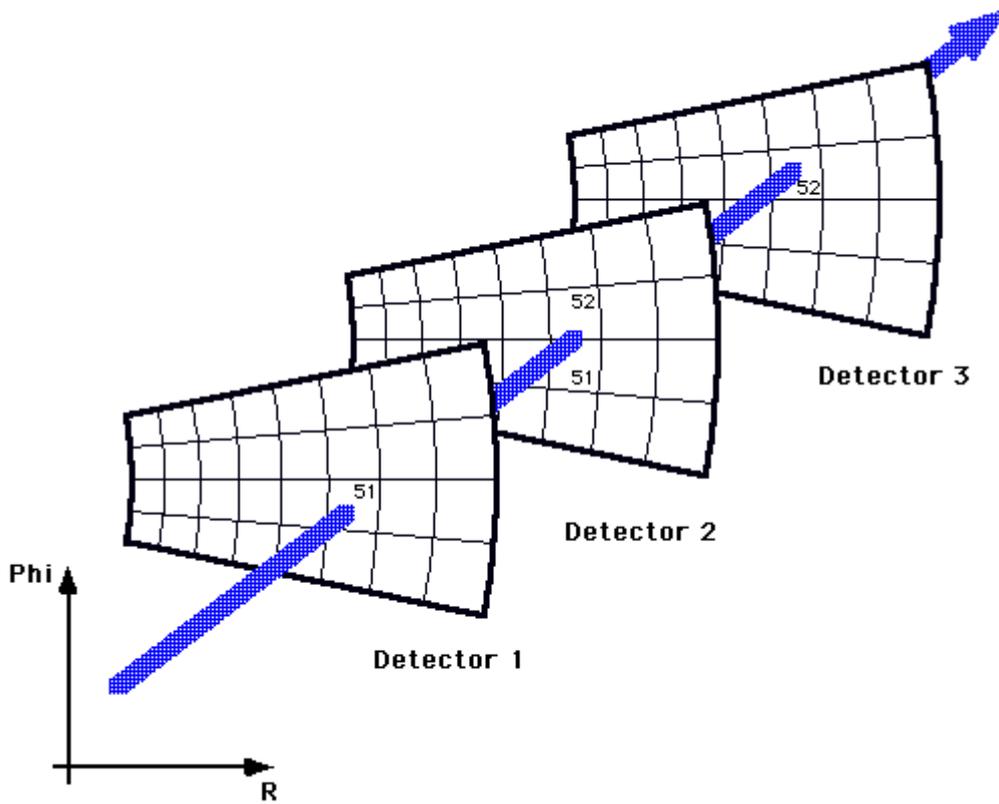
- Analoges Spektrum des Pads D3-60 im "Selbst-Trigger-Modus" (der einzige Trigger ist D3-60) in Abhängigkeit von der Schwelle



4 Messungen am Teststrahl am DESY Hamburg

4.3 Messungen am Digitalteil des Chips

- Messungen zur Trigger-Effektivität



Die externe Effektivität wurde folgendermaßen gemessen:

$$E = D1 \& D2 \& D3 / R$$

$$E \geq 97\%$$

wobei R die Ereignisrate ist, die mit einem Szintillations-Hodoskop gemessen wurde (~1 cm²)

5 Zusammenfassung und Perspektiven

- Die gewählte Methode, das eigene "Know-How" mit dem Fachwissen und den Werkzeugen professioneller Schaltkreis-Entwickler zu kombinieren, führte schnell (≤ 6 Monate) zum Erfolg.
- Durch gründliche Prüfungen und Simulationen nach jedem Entwicklungsschritt wurden Fehler vermieden.
- Der entwickelte Chip eignet sich für die vorgesehene Anwendung im Triggerteil des Backward-Silicon-Tracker im H1-Experiment, er funktioniert mit den bereits vorhandenen Sensoren.
- Aufgrund der großen tolerierbaren Eingangsladung ist der Chip vielseitig und auch für andere Detektortypen geeignet. Der Chip lässt sich durch externe Programmierung dem Einsatz anpassen.
- Es können Signale mit beiden Eingangspolaritäten und Eingangs-Leckströme bis zu $1 \mu\text{A}$ verarbeitet werden.
- Durch die Open-Drain-Ausgänge lassen sich beliebige Granularitäten von 1×32 bis zu 32×1 realisieren.
- Jeder einzelne Kanal kann einzeln ausgeblendet (maskiert) und auch getestet werden.