

DiaTem Boundary Scan Seminar

DiaTem[®]

TECS Workshops und Seminare:

- Neutrale Workshops über Testverfahren und Teststrategien in der Elektronik
 - Vor-/Nachteile aktueller Testverfahren
 - Design-for-Test-Richtlinien
 - Nullfehler-/Yield-Regelkreise
 - Berechnung von optimalen Teststrategien
- Test-Consulting
- Produktschulungen
- Produktseminare



DiaTem Boundary Scan Seminar

Referenzen Baugruppen-Workshop (1):

ABB, Eberbach ✧ ACD Elektronik, Oberholzheim ✧ ad+T, Hinwil ✧ Aesculap, Tuttlingen ✧ Alcatel, Hannover ✧ AMZ, Illingen ✧ APT, Hürth ✧ ASC-TEC, Bodmann ✧ Atlantik Zeiser, Emmingen ✧ AVAT, Tübingen ✧ AZS Datentechnik, Stetten ✧ Bachmann Electronic, Feldkirch-Tosters ✧ Base10, Hallbergmoos ✧ Becker Machaczek, Friedrichsthal ✧ Dipl.Ing. W. Bender, Grünberg ✧ Berchtold, Tuttlingen ✧ Berger Lahr, Lahr ✧ Berufsförderungswerk, Schömberg ✧ BDT, Rottwei ✧ Belimo, Hinwil ✧ Bieler + Lang, Achem ✧ Biotronic, Berlin ✧ Bircher Reglomat, Beringen ✧ Bizerba, Balingen ✧ Blaupunkt-Werke, Hildesheim ✧ Bodenseewerke, Überlingen ✧ BMK, Augsburg ✧ Robert Bosch, Ansbach ✧ Robert Bosch, Plochingen ✧ Robert Bosch Schwieberdingen ✧ Bosch Telekom, Backnang ✧ Braun, Kronberg ✧ Braun, Walldürn ✧ CGK, Konstanz ✧ Cheops, Geretsried ✧ Comsoft, Karlsruhe ✧ Conware Computer Consulting, Karlsruhe ✧ Cooper Tools, Besigheim ✧ CSEE, Neuchatel ✧ Deltec, Furth ✧ Delphi, Engelskirchen ✧ Deutsche Aerospace, Wedel ✧ Develop Dr. Eisbein, Gerlingen ✧ Diehl AKO, Nürnberg ✧ Diehl AKO Wangen ✧ Dietz Electronic, Neuffen ✧ Digitaltest, Stutensee ✧ Dräger Safet, Lübeck ✧ Dräxlmaier, Vilsbiburg ✧ DZG Hamburg ✧ DZG, Vöhrenbach ✧ Elex, Mannheim ✧ Elcoteq, Turgi ✧ Eltako Schaltgeräte, Fellbach ✧ ELTAS Eschbach ✧ E+H, Gerlingen ✧ E+H, Maulburg ✧ E+H, Nesselwang ✧ E+H, Reinach ✧ EOS Krailling ✧ EPIS Microcomputer, Albstadt ✧ ESW Extel Systems, Wedel ✧ Erbe Elektromedizin, Tübingen ✧ eta plus, Nürtingen ✧ Eurocontrol, Maastricht ✧ Feinmetall Herrenberg ✧ FHF Funke + Huster, Mülheim ✧ Fresenius Medical Car Deutschland, Schweinfurt ✧ Fritsch Elektronik, Achem ✧ FZA, Düsseldorf ✧ FZA, Hannover ✧ FZA, Heusenstamm ✧ GEZE, Leonberg ✧ GIRA Giersiepen, Radevormwald ✧ Graf Syteco, Tübingen ✧ Harmann/Becker Karlsbad ✧ Harmann/Becker, Straubing ✧ Electronic, Bonndorf ✧ Hella, Lippstadt ✧ Hoerbiger Bara, Ammerbuch ✧ Höhner, Trossingen ✧ Homag, Schopfloch ✧ Honeywell Schönaich ✧ Hüttinger, Freiburg ✧ Ihlemann, Braunschweig ✧ Indramat, Lohr ✧ Infratec, Bensheim ✧ Insta Elektro, Lüdenscheid ✧ Inst. Dr. Förster, Reutlingen ✧ InterFlex, Durchhausen ✧ IZT Innovationszentrum, Erlangen ✧ IXXAT Automation, Weingarten ✧ Jauch + Schmid, VS-Schwenningen ✧ Jetter, Ludwigsburg ✧ Julabo, Seelbach ✧ Kaba Bening, VS-Schwenningen ✧ Katek, Grassau ✧ Keba, Linz ✧ Knobloch, Erbes-Bödesheim ✧ Ing. Fritz Kübler Zählerfabrik, VS-Schwenningen ✧ Dr.A.Kuntze, Meerbusch

Copyright TECS Prüftechnik GmbH Furtwangen

DiaTem Boundary Scan Seminar

Referenzen Baugruppen-Workshop (2):

Leuze, Owen-Teck ✧ Leybold Didactic, Hürth ✧ Liebherr Aerotechnik, Lindenberg ✧ Liebherr Elektronik, Lindau ✧ Liebherr Hausgeräte, Ochsenhausen ✧ Link Electronics, Kandel ✧ Lorenz elektronik, St. Georgen ✧ Lüdtke Electronic, Herxheim ✧ Marquardt, Rietheim ✧ Matsushita, Lüneburg ✧ Matsushita, Neumünster ✧ MaZet, Jena ✧ MBB Gelma, Bonn ✧ Merten, Wiehl ✧ MG, München ✧ Micro-Epsilon, Ortenburg ✧ Miele, Gütersloh ✧ Moeller, Bonn ✧ Franz Morat, Eisenbach ✧ MR Elektronik, Kirchheim ✧ MSC, Freiburg ✧ MSC Stutensee ✧ Multitest, Rosenheim ✧ Murr electronic, Oppenweiler ✧ Pepperl + Fuchs, Mannheim ✧ Physik Instrumente (PI), Karlsruhe ✧ Preh-Werke, Bad Neustadt ✧ Pro Design, Bruckmühl ✧ PTR, Werne ✧ Puls, München ✧ Rafi, Berg ✧ Raylase, Wessling ✧ Richter, Pforzheim ✧ R&S Messgerätebau, Memmingen ✧ Riwoplan, Knittlingen ✧ ROI Rolf Obler, Roding ✧ RRC Power Solutions, Kirkel-Lindbach ✧ RWE Piller, Osterode ✧ SAIA, Murten ✧ Carl Schenck, Darmstadt ✧ Schiederwerk, Nürnberg ✧ SCI-Worx, Hannover ✧ SEG Elektronikgeräte, Kempen ✧ Selectron, Lyss ✧ Semrau, Tuttlingen ✧ Dr. Seuffert, Karlsruhe ✧ Robert Seuffer, Calw ✧ SEW Eurodrive, Bruchsal ✧ SICAN, Hannover ✧ Sick, Reute ✧ Sick, Waldkirch ✧ Siemens, Amberg ✧ Siemens, Augsburg ✧ Siemens, Berlin ✧ Siemens, Bocholt ✧ Siemens, Bruchsal ✧ Siemens, Ditzingen ✧ Siemens, Erlangen ✧ Siemens Hannover ✧ Siemens, München ✧ Siemens, Volketswil ✧ Siemens, Zug ✧ SMA Regelsysteme, Niestetal ✧ Solectron, Herrenberg ✧ SRI Radiosystems, Durach ✧ Stahl Schaltgeräte, Waldenburger ✧ Stegmann, Donaueschingen ✧ Stemin, Königsdorf ✧ Stihl, Waiblingen ✧ Stöckert Instrumente, München ✧ Stoll, Reutlingen ✧ Karl Storz, Tuttlingen ✧ STW, Kaufbeuren ✧ SZ-Testsysteme, Amerang ✧ TAW Wuppertal ✧ Teldix, Heidelberg ✧ Telenot, Aalen ✧ Tesch, Wuppertal ✧ teststep, Konstanz ✧ Thyssen, Neuhausen ✧ Torotron Elektronik, Kirchheim ✧ TQ Systems, Seefeld ✧ Trumpf Laser, Schramberg ✧ Tuchscherer Elektronik, Otobrunn ✧ Vogt electronic, Bruchmühlbach ✧ Wasser, Oberstenfeld ✧ Webasto, Stockdorf ✧ Weitmann + Konrad, Rosenfeld ✧ WG-Test, Herrenberg ✧ Wolf Endoskope, Knittlingen ✧ Zellweger, Uster ✧ Zollner Elektronik, Zandt

Copyright TECS Prüftechnik GmbH Furtwangen

DiaTem Boundary Scan Seminar

DiaTem Präsentation:

DiaTem®

Advanced Boundary-Scan based Board-TEST solution



Copyright TECS Prüftechnik GmbH Furtwangen

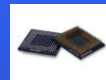
DiaTem Boundary Scan Seminar

Die Motivation für Boundary Scan:



Wir haben komplexe Boards mit hunderten oder tausenden von I/O Pins mit **no probe access** (BGA) !

Es ist wichtig für uns exakt die **Testabdeckung** der Netze bereits auf **Design-ebene** zu bestimmen!



Wir haben bereits Boards mit JTAG IC's (z.B. FPGA, Processors) und wollen das bisher ungenutzte **Test Coverage Potential** nutzen!

Wir wollen unseren Funktionstest in der Produktion hinsichtlich **Fehlerabdeckung** und **Fehlerdiagnose** verbessern und die **Reparatur** rationalisieren!



Wir haben kleine Stückzahlen und hohe Typenvielfalt an Boards. Der Nadelbettadapter für ICT ist deshalb **unwirtschaftlich** für uns !

Wir wollen die Zeit für die **Inbetriebnahme** unserer 2..3 **Prototypen** drastisch reduzieren !



Copyright TECS Prüftechnik GmbH Furtwangen

IEEE Standard (JTAG):

IEEE Std 1149.1 (1990)

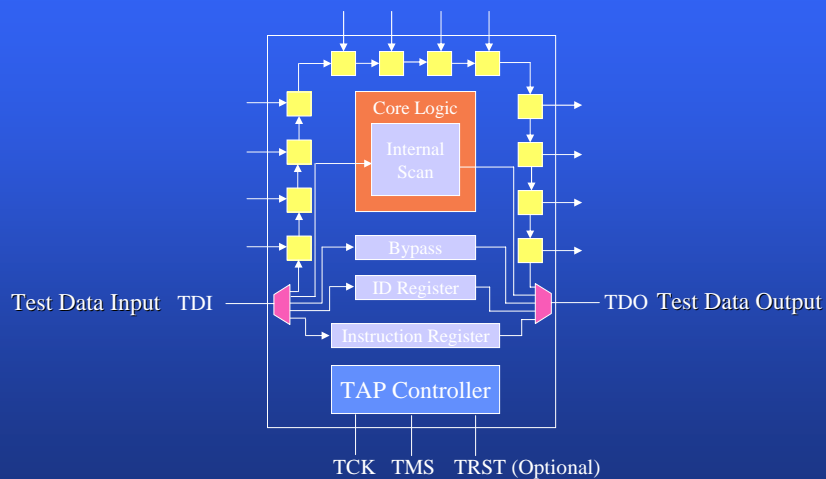
IEEE Standard Test Access Port and Boundary-Scan Architecture

IEEE 1149.1a (1993) Supplement to IEEE 1149.1

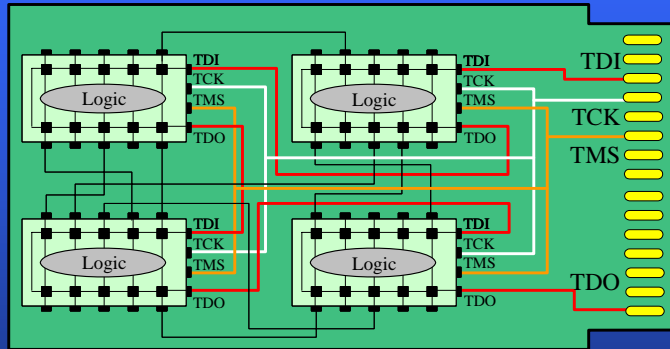
IEEE 1149.1b (1994) Supplement to IEEE 1149.1 (BSDL)

Web: <http://www.ieee.org>

Die Boundary-Scan Struktur:



Die Boundary-Scan Struktur:



TDI / TDO daisy chain
TMS TCK TRST* star configuration

Standard/Optionale Instruktionen

Instruction	Status
BYPASS	Standard
CLAMP	Optional
EXTEST	Standard
HIGHZ	Optional
IDCODE	Optional
INTEST	Optional
RUNBIST	Optional
SAMPLE / PRELOAD	Standard
USERCODE	Optional

BSDL-Definition:

- BSDL (Boundary-Scan Description Language) ist eine Sprache, die eine Beschreibung der Testmöglichkeiten in einem Bauelement zeigt, das dem IEEE Standard 1149.1B-1994 entspricht
 - BSDL ist ein Subset von VHDL (IEEE Standard 1076-1993)
 - BSDL beschreibt die diversen Features eines 1149.1B-1994 entsprechenden Bausteins wie IR Länge, Codes der Instructions Operationen, Private Instruktionen, ID Register, ...
- ⚠ **Beachten: Einige BSDL Bausteine aus dem Web sind nicht voll kompatibel mit dem IEEE 1149.1B-1994 standard**

Was ist testbar mit JTAG ?

Infrastructure Tests

- Scan chain integrity
- TAP controller test
- Missing component
- Wrong component

Interconnection Tests

- Stuck at 0/1
- Opens and shorts
- Edge-Connectors

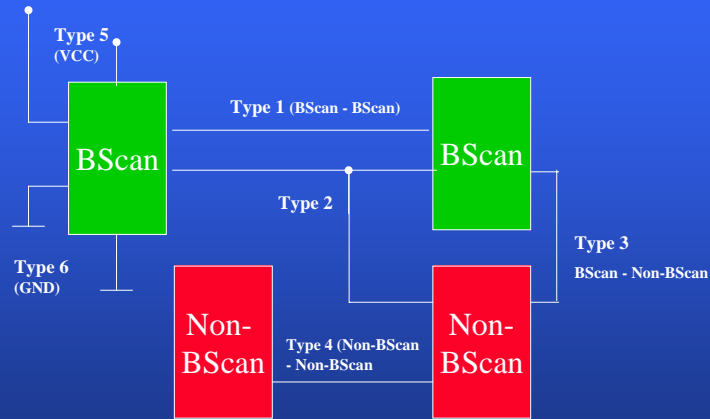
Clustering

- Functional test
- Memory test

Functional Tests

- Sequential logic
- Asynchronous logic

JTAG -Netze:

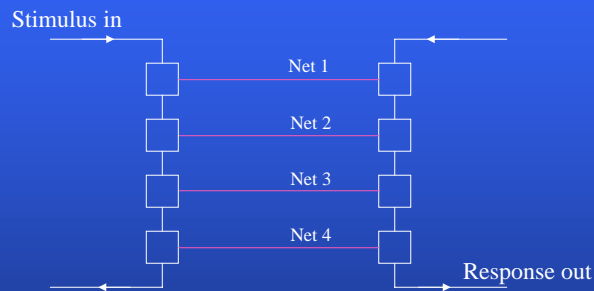


Test von JTAG -Netzen:

- Type 1 ATPG
- Type 2 = Type 1 + 3
- Type 3 Library Clusters
- Type 4 Logic Clusters
- Type 5 ATPG
- Type 6 ATPG

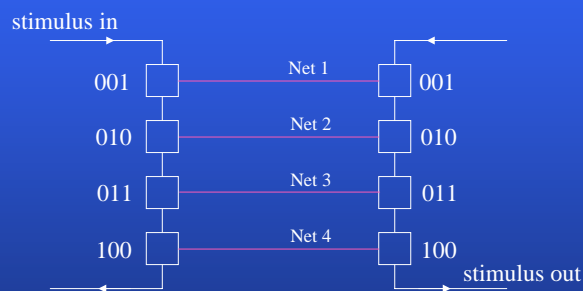
*ATPG= Automatic test pattern generation

JTAG Testprinzip:



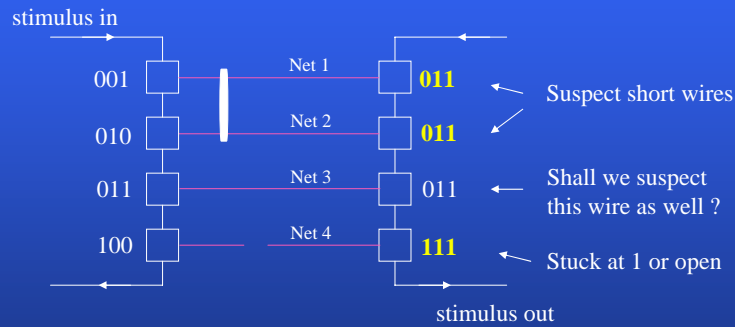
Der ATPG (Automatic Test Pattern Generator) muss die Shorts, Opens, 'Stuck at 0' oder 'Stuck at 1' ermitteln

JTAG Testprinzip:



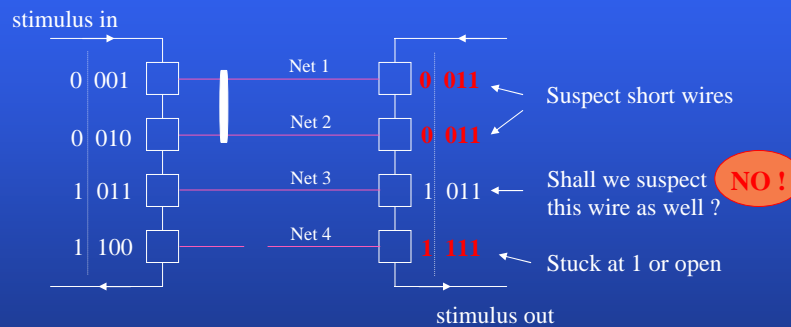
Alles OK

JTAG Testprinzip:



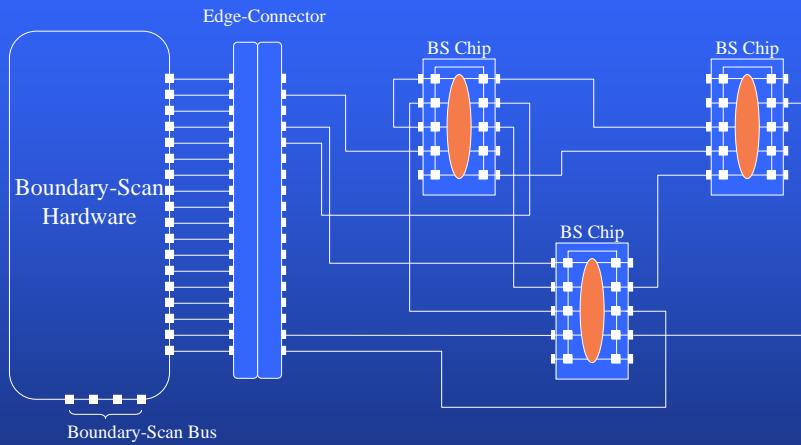
Die Fehler werden erkannt, Diagnose noch ungenügend

JTAG Testprinzip:



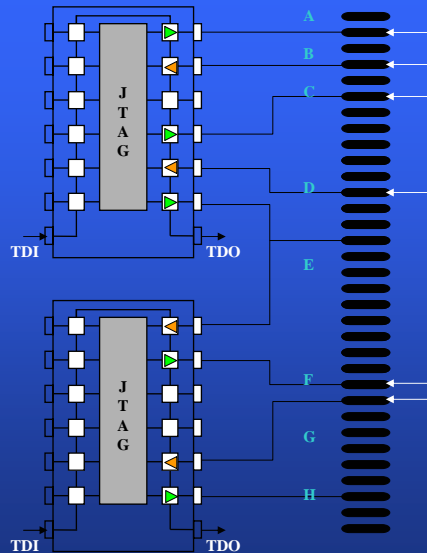
Zusätzliche Tests erlauben eine vollständige Diagnose

Verbindungstest:

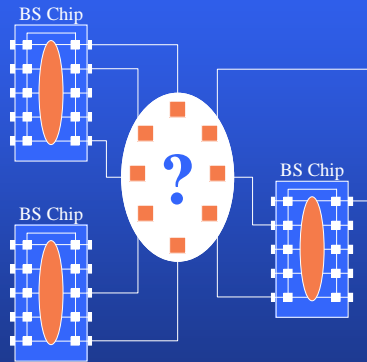


Connector bridging

- Das 'Connector bridging' erlaubt die Erhöhung der Test Coverage ohne externe digital IO's
- Beim 'Connector bridging' werden Steckerpins zusammenschaltet, um neue testbare Netze zu erzeugen



Cluster Definition:

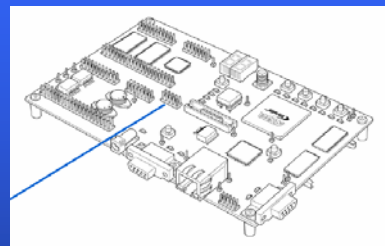


Einsatz von Boundary Scan:

Ein Beispiel mit JTAG:

(eine Baugruppe mit nur 2 JTAG IC's,
Prozessor und FPGA)

TEST Coverage mit BoundaryScan 85% !



Je mehr JTAG-IC's desto besser die Testabdeckung... trotzdem
BOUNDARY SCAN ist schon bei wenigen JTAG-Komponenten effizient!

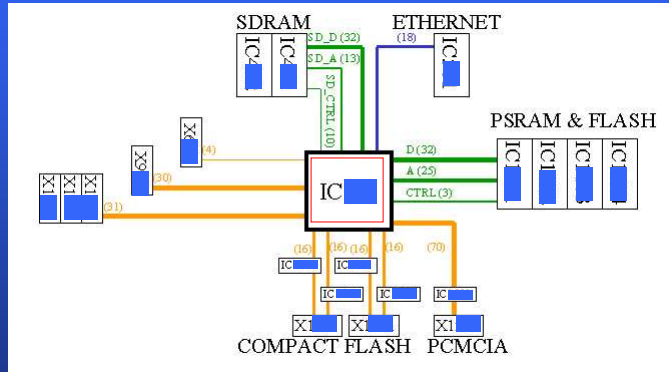
Heute sind bereits 90% der neuen Prozessoren und 100% der FPGA 's mit
JTAG ausgestattet.

...weiteres Anwendungsbeispiel

- 1 x JTAG IC
- 2 x SDRAM
- 2 x SRAM
- 2 x Flash
- 4 x Other IC's
- 8 x Connectors

Netze	427
JTAG Netze	330
Max. JTAG Testabdeckung	77,3 %
ATPG Testabdeckung	73,5 %

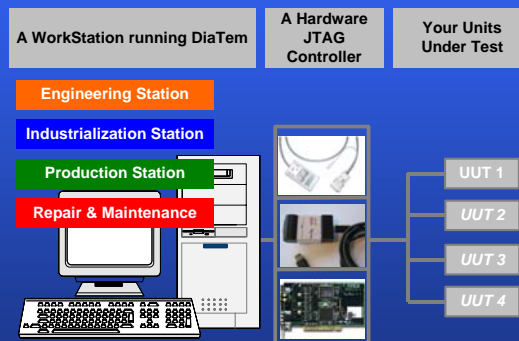
- ATPG
- ATPG with TemIO
- User Test



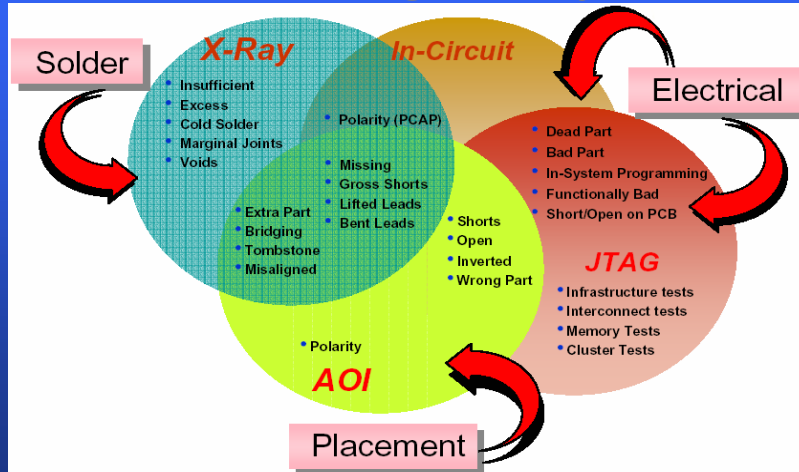
Die DiaTem® Tester-Architektur:

■ **Eine klare Systemlösung:**

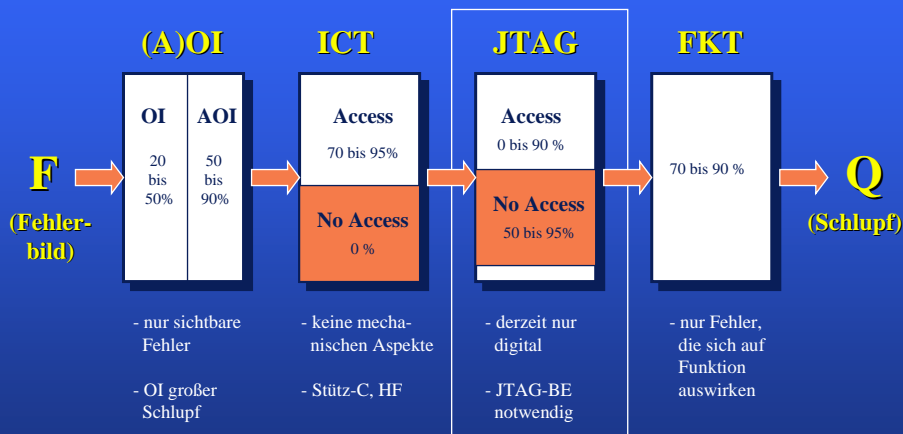
- Eine Workstation mit DiaTem
- Ein Hardware JTAG Controller
- Die Prüflinge !



Fehlerabdeckung Testverfahren:



Teststrategie bei „Limited Access“:



Referenz: TECS Workshop „Testverfahren und Teststrategien“

Zuordnung der Testverfahren:

